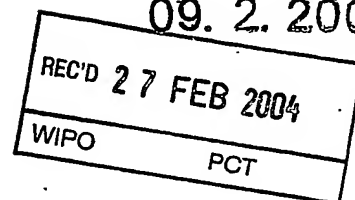


PCT/JP2004/001315

09. 2. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 5 月 8 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 2 9 8 7 8
[ST. 10/C]: [J P 2 0 0 3 - 1 2 9 8 7 8]

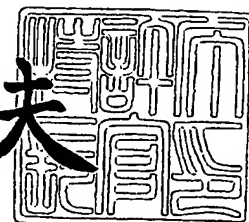
出 願 人
Applicant(s): 日 本 電 気 株 式 有 限 公 司

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 9 9 1 0

【書類名】 特許願
【整理番号】 34002298
【提出日】 平成15年 5月 8日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/28
H01L 29/78

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 寺島 浩一

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 三浦 喜直

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100117226
【弁理士】
【氏名又は名称】 吉村 俊一
【電話番号】 03-3947-4103

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 31110
【出願日】 平成15年 2月 7日

【手数料の表示】

【予納台帳番号】 176752
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0211103

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ニッケルシリサイド膜の形成方法、半導体装置の製造方法およびニッケルシリサイド膜のエッチング方法

【特許請求の範囲】

【請求項 1】 基板上にシリサイド反応を起こさない第 1 の基板温度で少なくとも各 1 層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、当該積層膜をニッケルモノシリサイドが生成する第 2 の基板温度で熱処理するシリサイド反応工程とを有するニッケルシリサイド膜の形成方法であって、

前記積層膜形成工程において、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が 1 以上であることを特徴とするニッケルシリサイド膜の形成方法。

【請求項 2】 前記積層膜形成工程において、シリコン層各層のシリコン原子数に対するニッケル層各層のニッケル原子数の比が、積層膜全体でのシリコン原子数に対するニッケル原子数の比と等しくなるように積層させることを特徴とする請求項 1 に記載のニッケルシリサイド膜の形成方法。

【請求項 3】 積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が 4 以下であることを特徴とする請求項 1 または請求項 2 に記載のニッケルシリサイド膜の形成方法。

【請求項 4】 前記ニッケルモノシリサイドが、形成されたニッケルシリサイド膜中に 50% 以上存在していることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のニッケルシリサイド膜の形成方法。

【請求項 5】 前記基板の最表面に、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される 1 または 2 以上の半導体領域が含まれることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載のニッケルシリサイド膜の形成方法。

【請求項 6】 前記基板が、シリコン基板、SOI 基板およびSGOI 基板から選ばれる 1 の基板であることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載のニッケルシリサイド膜の形成方法。

【請求項 7】 表面に半導体領域および絶縁膜領域を有する基板上に、シリサイド反応を起こさない第 1 の基板温度で少なくとも各 1 層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、当該積層膜をニッケルモノシリサイドが生成する第 2 の基板温度で熱処理するシリサイド反応工程と、前記絶縁膜上に形成された膜をエッチングにより除去するエッチング工程とを含む半導体装置の製造方法であって、

前記積層膜形成工程において、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が 1 より大きいことを特徴とする半導体装置の製造方法。

【請求項 8】 前記シリサイド反応工程後における半導体上のニッケルシリサイドが、ニッケルモノシリサイドであることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記シリサイド反応工程後における絶縁膜上のニッケルシリサイドが、ニッケルリッチなニッケルシリサイドであることを特徴とする請求項 7 または請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される 1 または 2 以上の半導体を含むことを特徴とする請求項 7～9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】 前記絶縁膜領域が、酸化シリコンおよび窒化シリコンの一方又は両方であることを特徴とする請求項 7～10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】 前記基板が、シリコン基板、SOI 基板およびSGOI 基板から選ばれる 1 の基板であることを特徴とする請求項 7～11 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 13】 表面に半導体領域および絶縁膜領域を有する基板上に形成されたシリサイド膜のうち、絶縁膜上に形成されたニッケルシリサイド膜のエッチング方法であって、

前記絶縁膜上に形成されたニッケルシリサイド膜は、シリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が 1.11 より大きいことを特徴とするニッケルシリサイド膜のエッチング方法。

【請求項 14】 表面に半導体領域および絶縁膜領域を有する基板上に形成されたニッケルシリサイド膜のうち、絶縁膜上に形成されたニッケルシリサイド膜のエッチング方法であって、

前記絶縁膜上に形成されたニッケルシリサイド膜は、その X 線回折パターンが Ni_2Si の回折ピークを有することを特徴とするニッケルシリサイド膜のエッチング方法。

【請求項 15】 前記半導体上に形成されたニッケルシリサイド膜がニッケルモノシリサイド膜であり、前記絶縁膜上に形成されたニッケルシリサイド膜がニッケルリッチなニッケルシリサイド膜であることを特徴とする請求項 13 または請求項 14 に記載のニッケルシリサイド膜のエッチング方法。

【請求項 16】 前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される 1 または 2 以上の半導体を含むことを特徴とする請求項 13 ~ 15 のいずれか 1 項に記載のニッケルシリサイド膜のエッチング方法。

【請求項 17】 前記絶縁膜領域が、酸化シリコンおよび窒化シリコンの一方又は両方であることを特徴とする請求項 13 ~ 16 のいずれか 1 項に記載のニッケルシリサイド膜のエッチング方法。

【請求項 18】 前記ニッケルシリサイド膜が、ニッケルとシリコンを積層させた後にシリサイド反応させたニッケルシリサイド膜、またはニッケルとシリコンを共析させた後にシリサイド反応させたニッケルシリサイド膜であることを特徴とする請求項 13 ~ 17 のいずれか 1 項に記載のニッケルシリサイド膜のエッチング方法。

【請求項 19】 前記基板が、シリコン基板、SOI 基板および SGOI 基板から選ばれる 1 の基板であることを特徴とする請求項 13 ~ 18 のいずれか 1 項に記載のニッケルシリサイド膜のエッチング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ニッケルシリサイド膜の形成方法、半導体装置の製造方法およびニッケルシリサイド膜のエッチング方法に関し、更に詳しくは、低抵抗のニッケルモノシリサイドを厚く形成する方法、その方法を利用した半導体装置の製造方法、およびニッケルシリサイド膜のうちニッケルリッチなシリサイド膜を選択エッチングする方法に関する。

【0002】

【従来の技術】

従来、シリコンのMOSトランジスタのソース・ドレイン領域およびゲート電極のコンタクト材料として、金属とシリコンの化合物である金属シリサイドが用いられている。その金属シリサイドのうち、特にチタンダイシリサイド($TiSi_2$)やコバルトダイシリサイド($CoSi_2$)は、抵抗値が低く、シリコンとのショットキー障壁も低いことが知られており、現在、様々なLSIにおいて広く用いられている。

【0003】

さらに、近年、MOSトランジスタの微細化が進展して、ソース・ドレイン領域が薄膜化するのに伴い、ニッケルモノシリサイド($NiSi$)をコンタクト材料に使おうという動きが出ている。これは、基板のシリコン原子と上部に堆積した金属原子とを反応させて金属シリサイドを形成する際に、 $NiSi$ は、 $TiSi_2$ や $CoSi_2$ よりも少ないシリコン原子で同じ膜厚の金属シリサイド膜を得ることができ、したがって、ジャンクションリーク特性を劣化させずに、シリサイド膜を低抵抗化することができるからである。さらには、 $NiSi$ には、 $TiSi_2$ や $CoSi_2$ よりも低温で形成できるのでプロセスを低温化できるという利点もあり、これからのコンタクト材料として有望視されている。

【0004】

図4は、金属シリサイドの一般的な形成方法を説明するためのシリコン基板の断面形態図である。シリコン基板51には、イオン注入等によりドーパント濃度

を高くした領域57が形成されている。この領域57は、MOSトランジスタのソース・ドレイン領域に相当する。金属シリサイドの形成として、先ず、図4(a)に示すように、上記領域57が形成されたシリコン基板51にスパッタリング法や分子線エピタキシー法等を用いて、チタンまたはコバルト等の金属膜52を堆積する。次に、この基板を適当な温度でアニールして、金属膜52中の金属と基板51のシリコンとを反応させる。こうした形成方法により、図4(b)に示す金属シリサイド膜55が形成される。

【0005】

また、金属シリサイドを用いたMOSトランジスタは、従来より、サリサイドプロセスと呼ばれる工程によって製造されている。図5は、サリサイドプロセスを示す断面図である。まず、図5(a)では、シリコン基板151上に、通常のMOSトランジスタの製造プロセスによって、素子分離領域152、ゲート絶縁膜153、ゲート電極154、ゲートサイドウォール155、ソース・ドレイン領域156が形成されている。ここで、素子分離領域152およびゲートサイドウォール155はシリコン酸化膜またはシリコン窒化膜などの絶縁膜によって構成され、ゲート電極154には多結晶シリコンが用いられている。また、ソース・ドレイン領域156は、シリコン基板151にボロンや砒素などのドーパント不純物をイオン注入し、活性化アニールを行うことによって形成される。次に、図5(b)に示すように、この基板全面に、スパッタリング法などを用いてチタン、コバルト、ニッケル等の金属膜157が堆積される。次に、この基板を適当な温度でアニールすることにより、堆積した金属膜157の金属とソース・ドレイン領域156およびゲート電極154のシリコンとを反応させて、図5(c)の金属シリサイド膜158を形成する。この時、金属原子は、ソース・ドレイン領域156およびゲート電極154の単結晶または多結晶のシリコンが露出している部分でのみ反応するので、素子分離領域152上およびゲートサイドウォール155上では、金属原子は未反応のまま金属膜159として残る。そこで、硫酸と過酸化水素水の混合液などの適当なエッチング液を用いて、未反応の金属膜159を除去することにより、図5(d)に示すように、ソース・ドレイン領域156およびゲート電極154にのみ金属シリサイド膜158を形成することが

できる。このように、従来の金属シリサイド膜の形成方法は、基板中あるいはゲート電極中のシリコン原子と上部に堆積した金属原子とを反応させている。

【0006】

一方、近年、MOSトランジスタの性能を向上させるために、ソース・ドレイン領域はますます薄膜化する傾向にある。シリコンMOSトランジスタでは、形成された金属シリサイド膜がソース・ドレインのpnジャンクションに近づくにつれてジャンクションリーク特性が悪化し、コンタクトがソース・ドレインを突き抜けた状態となってしまうと、トランジスタが正常動作しなくなってしまう。したがって、金属シリサイド膜は、図4(b)に示すように、ソース・ドレイン領域よりも浅くなっていなければならない。その金属シリサイド膜は、ソース・ドレイン領域のシリコン原子と金属原子とが反応して形成されるので、ソース・ドレイン領域の薄膜化に伴ってコンタクトの金属シリサイド膜も薄膜化している。しかしながら、金属シリサイド膜が薄膜化すると、金属シリサイド膜のシート抵抗が増大し、MOSトランジスタの性能が劣化してしまう。また、金属シリサイド膜を厚くしようとする、形成された金属シリサイド膜がソース・ドレイン領域のpnジャンクションに接近してリーク電流が増加し、トランジスタ特性が大きく劣化してしまう。

【0007】

形成された金属シリサイドの膜厚 a と、シリサイド反応で消費されたシリコンの膜厚 b との比 b/a は、シリコンの消費ファクターと呼ばれている。この消費ファクターの値は金属によって異なり、 $NiSi$ はこの消費ファクターが小さいためにソース・ドレイン領域の薄膜化に有利であるが、基板中のシリコン原子を消費することには変わりはないので、薄膜化には限界がある。そこで、トランジスタの微細化が加速するとともに、基板のシリコン原子の消費量をなるべく少なくして、金属シリサイド膜を形成する方法が必要となる。

【0008】

そうした金属シリサイドの形成方法のひとつとして、Si基板上にNiとSiを交互に積層した後に熱処理することによりニッケルダイシリサイド($NiSi_2$)をエピタキシャル成長させる方法が開示されている(例えば、特許文献1を

参照)。また、Si上にNiを積層してから熱処理することによりNi₂Siを形成し、その後に多結晶シリコン膜を堆積して再び熱処理を行なうことにより、NiSiを形成する方法が開示されている（例えば、特許文献2を参照）。また、NiとSiを同時に堆積することによりNiSiを形成する方法も開示されている（例えば、非特許文献1を参照）。

【0009】

【特許文献1】

特開昭61-212017号公報（第2頁「発明の概要」）

【特許文献2】

特開平8-97420号公報（段落番号0011～0017）

【非特許文献1】

米国特許第4663191号

【0010】

【発明が解決しようとする課題】

上記した従来例のような金属と基板シリコンとを反応させる金属シリサイドの形成方法では、たとえ消費ファクターの小さいニッケルシリサイドを用いても、ソース・ドレイン領域が薄膜化した場合に、十分な厚さのニッケルシリサイド膜を得ることが困難であり、基板シリコンの消費量の少ないニッケルシリサイド形成方法が求められている。

【0011】

しかしながら、特許文献1に開示された方法では、ニッケルモノシリサイド（NiSi）ではなく、ニッケルダイシリサイド（NiSi₂）を主成分とするシリサイドができてしまうが、このNiSi₂は抵抗値が高いために、コンタクト材料としては不適當である。また、特許文献2に開示された方法では、まず初めにニッケルと基板シリコンとを反応させてNi₂Siを形成するので、この時に相当量の基板シリコンが消費されてしまい、NiSiの膜厚を厚くすることには限界がある。また、シリサイドプロセスとするために、工程が非常に複雑となっている。さらに、非特許文献1に開示された方法はシリサイドプロセスが可能であるが、ニッケルとシリコンを同時に堆積するために、NiとSiの組成比を制

御しにくいと共に、最終的に形成されるのは高抵抗の NiSi_2 であり、コンタクト材料としては不適當である。以上のように、基板シリコンの消費量を少なくして、十分な厚さを持つ低抵抗のニッケルシリサイド膜を形成することができるシリサイドプロセスの実現は、これまで困難であった。

【0012】

本発明は、上記課題を解決するためになされたものであって、その第1の目的は、基板シリコン中のシリコン原子の消費量をできるだけ少なくすることができると共に十分な厚さをもった低抵抗のニッケルシリサイド膜の形成方法を提供することにある。また、本発明の第2の目的は、そのニッケルシリサイド膜の形成方法を利用した半導体薄膜の製造方法を提供することにある。また、本発明の第3の目的は、ニッケルシリサイド膜のエッチング性が Ni と Si の組成比により異なることに着目したニッケルシリサイド膜のエッチング方法を提供することにある。

【0013】

【課題を解決するための手段】

上記第1の目的を達成するための本発明のニッケルシリサイド膜の形成方法は、基板上にシリサイド反応を起こさない第1の基板温度で少なくとも各1層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、当該積層膜をニッケルモノシリサイドが生成する第2の基板温度で熱処理するシリサイド反応工程とを有するニッケルシリサイド膜の形成方法であって、前記積層膜形成工程において、積層膜全体のシリコン原子数(N_{Si})に対するニッケル原子数(N_{Ni})の比($N_{\text{Ni}}/N_{\text{Si}}$)が1以上であることを特徴とする。

【0014】

本発明においては、シリサイド反応を起こさない基板温度で各1層以上のニッケル層とシリコン層を交互に積層したので、積層されたシリコン層はアモルファス状態となっている。ニッケル原子は、単結晶シリコン層や多結晶シリコン層よりもアモルファスシリコン層の方に優先的に拡散し易い。そのため、その後のシリサイド反応工程において、アモルファスシリコン層中のシリコンに優先的にニッケル原子が拡散してニッケルシリサイド膜が形成される。また、シリサイド反

応工程がニッケルモノシリサイドを生成する温度で行われるので、抵抗値の高いニッケルダイシリサイドの形成が抑制され、抵抗値の低いニッケルモノシリサイドが安定して形成される。また、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が1以上であるので、ニッケルが優先的に拡散するアモルファスシリコン層中に、ニッケルダイシリサイドを形成する余分のシリコン原子がないので、抵抗値の低いニッケルモノシリサイドが安定して形成される。また、ニッケル層とシリコン層の少なくとも各1層以上を交互に積層するので、その厚さと積層回数を調整することにより、シリサイド反応で消費されるシリコン原子の消費量を少なくすることができると共に低抵抗のニッケルモノシリサイドを十分な厚さで形成することができる。

【0015】

また、前記積層膜形成工程において、シリコン層各層のシリコン原子数に対するニッケル層各層のニッケル原子数の比が、積層膜全体でのシリコン原子数に対するニッケル原子数の比と等しくなるように積層させることを特徴としている。この発明によれば、交互に積層するニッケル層各層のニッケル原子数とシリコン層各層のシリコン原子数の比と、積層膜全体の各原子数の比とを同じにしたので、シリサイド反応におけるニッケルの拡散が積層膜の各部において均一に行われて均質なニッケルモノシリサイドが生成する。その結果、抵抗値の低いニッケルモノシリサイドを安定して形成することができる。

【0016】

また、前記積層膜形成工程において、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が4以下であることを特徴としている。この発明によれば、従来に比べて基板のシリコン消費が抑制されたニッケルシリサイド膜を形成することができる。

【0017】

また、前記ニッケルモノシリサイドが、ニッケルシリサイド膜中に50%以上存在していることが好ましい。この発明によれば、形成されたニッケルシリサイド膜をMOSトランジスタのコンタクトとして好ましく使用することができる。

【0018】

また、前記基板の最表面に、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される1または2以上の半導体領域が含まれることを特徴としている。

【0019】

この発明によれば、積層したニッケルとシリコンを反応させてニッケルシリサイド膜を形成するので、ニッケルシリサイド膜が形成される基板の表面がシリコン以外の物質、例えば単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウム、歪みのかかったシリコン・ゲルマニウム等のシリコン・ゲルマニウム混晶の場合にも適用可能である。シリコン・ゲルマニウム混晶にニッケルを堆積して熱処理した場合には、ニッケルジャーモノシリサイド $\text{Ni}(\text{Si}_{1-x}\text{Ge}_x)$ ができるが、この $\text{Ni}(\text{Si}_{1-x}\text{Ge}_x)$ は NiSi よりも抵抗値が高い。したがって、本発明によれば、シリコン・ゲルマニウム混晶とニッケルを反応させた場合よりも低い抵抗値の膜が得られるという効果もあり、MOSトランジスタにおいてシリコン・ゲルマニウム混晶をソース・ドレイン領域に用いたり、ゲート電極を多結晶シリコン・ゲルマニウムで形成したりする場合にも、トランジスタ特性を向上させることができる。

【0020】

また、前記基板が、シリコン基板、SOI基板およびSGOI基板から選ばれる1の基板であることを特徴としている。この発明によれば、シリコン基板の他、シリコン オン インシュレータ (SOI) 基板およびシリコン・ゲルマニウム オン インシュレータ (SGOI) 基板に適用することにより、ニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができるという効果もある。

【0021】

上記第2の目的を達成するための本発明の半導体装置の製造方法は、表面に半導体領域および絶縁膜領域を有する基板上に、シリサイド反応を起こさない第1の基板温度で少なくとも各1層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、当該積層膜をニッケルモノシリサイドが生成する第2の基

板温度で熱処理するシリサイド反応工程と、前記絶縁膜上に形成された膜をエッチングにより除去するエッチング工程とを含む半導体装置の製造方法であって、前記積層膜形成工程において、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が 1 より大きいことを特徴とする。

【0022】

この発明は、上述したニッケルシリサイド膜の形成方法を利用した半導体装置の製造方法であり、その作用効果については同様である。特にこの発明によれば、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が 1 より大きい、シリコンが露出している半導体領域 (ソース・ドレイン領域およびゲート電極) においては、シリサイド反応時に積層膜中の余分のニッケル原子が半導体領域中に拡散するので、少なくとも半導体との境界面にはニッケルモノシリサイドが形成される。一方、シリサイド反応時に積層膜中の余分のニッケル原子が拡散し難い絶縁膜領域 (酸化シリコンや窒化シリコン等) においては、その余分のニッケル原子が絶縁膜中に拡散しないので、絶縁膜との境界面にはニッケルリッチなニッケルシリサイドが形成される。本発明者らは、一様に成膜した積層膜をシリサイド反応させる際に、積層膜の下地の種類によりシリサイド反応後のニッケルシリサイドの組成が上記のように変化し、特にニッケルリッチなニッケルシリサイドが容易にエッチングされ且つニッケルモノシリサイドがエッチングされないことを見出して本発明に到達した。したがって、本発明によれば、一様に成膜した積層膜をシリサイド反応させた後にエッチングすることにより、絶縁膜上のニッケルシリサイド膜はその組成がニッケルリッチになって選択的にエッチングされる。その結果、ニッケルモノシリサイド膜を有する半導体装置の製造の効率化を図ることができる。

【0023】

本発明の半導体装置の製造方法において、前記シリサイド反応工程後における半導体上のシリサイドがニッケルモノシリサイドであり、前記シリサイド反応工程後における絶縁膜上のシリサイドがニッケルリッチのニッケルシリサイドであることが望ましい。

【0024】

この発明によれば、一様に成膜した積層膜をシリサイド反応させ、その後に絶縁膜上のニッケルシリサイド膜だけを選択的にエッチングすることができる。

【0025】

また、本発明の半導体装置の製造方法において、前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される1または2以上の半導体を含むことが好ましく、また、前記絶縁膜領域が、酸化シリコンおよび窒化シリコンの一方又は両方であることが好ましく、また、前記基板が、シリコン基板、SOI基板およびSGOI基板から選ばれる1の基板であることが好ましい。

【0026】

この発明によれば、例えば、ソース・ドレイン層が単結晶シリコンであり、ゲート電極が多結晶シリコンであり、ゲートサイドウォールと素子分離領域がシリコン酸化膜またはシリコン窒化膜で構成される通常のMOSトランジスタのコンタクト形成に適用することができる。また、シリコン基板の他、SOI基板およびSGOI基板に適用することにより、ニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができるという効果もある。

【0027】

上記第3の目的を達成するための本発明のニッケルシリサイド膜のエッチング方法の第1態様に係る発明は、表面に半導体領域および絶縁膜領域を有する基板上に形成されたシリサイド膜のうち、絶縁膜上に形成されたニッケルシリサイド膜のエッチング方法であって、前記絶縁膜上に形成されたニッケルシリサイド膜は、シリコン原子数(N_{Si})に対するニッケル原子数(N_{Ni})の比(N_{Ni}/N_{Si})が1.11より大きいことを特徴とする。

【0028】

また、上記第3の目的を達成するための本発明のニッケルシリサイド膜のエッチング方法の第2態様に係る発明は、表面に半導体領域および絶縁膜領域を有す

る基板上に形成されたニッケルシリサイド膜のうち、絶縁膜上に形成されたニッケルシリサイド膜のエッチング方法であって、前記絶縁膜上に形成されたニッケルシリサイド膜は、そのX線回折パターンが Ni_2Si の回折ピークを有することを特徴とする。

【0029】

これらの発明によれば、絶縁膜上に形成されたニッケルシリサイド膜が、①シリコン原子数(N_{Si})に対するニッケル原子数(N_{Ni})の比($\text{N}_{\text{Ni}}/\text{N}_{\text{Si}}$)が1.11より大きい場合、または②そのX線回折パターンが Ni_2Si の回折ピークを有する場合において、ニッケルリッチなニッケルシリサイド膜となっている。本発明者らは、ニッケルリッチなニッケルシリサイドが容易にエッチングされ且つニッケルモノシリサイドがエッチングされないことを見出して本発明に到達した。したがって、本発明によれば、絶縁膜上のニッケルリッチなニッケルシリサイド膜だけを選択的にエッチングすることができるので、効率的なエッチングプロセスを実現することができる。

【0030】

上記第1および第2態様に係る本発明のニッケルシリサイド膜のエッチング方法において、前記半導体上に形成されたニッケルシリサイド膜がニッケルモノシリサイド膜であり、前記絶縁膜上に形成されたニッケルシリサイド膜がニッケルリッチなニッケルシリサイド膜であることを特徴とする。

【0031】

また、上記第1および第2態様に係る本発明のニッケルシリサイド膜のエッチング方法において、前記半導体領域が、単結晶シリコン、多結晶シリコン、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される1または2以上の半導体を含むことが好ましく、前記絶縁膜領域が、酸化シリコンおよび窒化シリコンの一方又は両方であることが好ましい。

【0032】

この発明によれば、各種のシリコン半導体上にのみニッケルモノシリサイド膜を選択的に形成することができる。また、例えば、歪みのかかったシリコンまたは

歪のかかったシリコン・ゲルマニウムにより構成される歪チャネルMOSトランジスタにも適用することができ、それらの半導体上にのみシリサイドコンタクト層を効率的に形成することができる。その結果、チャネル部分の歪の緩和を抑制して、歪チャネルMOSトランジスタの性能劣化を防ぐとともに、歪チャネルMOSトランジスタの本来の特性を十分に引き出すことができるという効果もある。

【0033】

また、上記第1および第2態様に係る本発明のニッケルシリサイド膜のエッチング方法において、前記ニッケルシリサイド膜が、ニッケルとシリコンを積層させた後にシリサイド反応させたニッケルシリサイド膜、またはニッケルとシリコンを共析した後にシリサイド反応させたニッケルシリサイド膜であることが好ましい。

【0034】

この発明によれば、選択エッチングされるニッケルシリサイド膜は、多層積層した後にシリサイド反応させたものであっても、共析後にシリサイド反応させたものであってもよい。本発明のエッチング方法は、いずれの場合であっても、ニッケルリッチなニッケルシリサイド膜のみを選択してエッチングすることができる。

【0035】

また、前記基板が、シリコン基板、SOI基板およびSGOI基板から選ばれる1の基板であることが好ましい。

【0036】

【発明の実施の形態】

本発明の実施の形態を図面を参照して詳細に説明する。

【0037】

(ニッケルシリサイド膜の形成方法)

本発明のニッケルシリサイド膜の形成方法は、例えば図1に例示したように、基板11上にシリサイド反応を起こさない第1の基板温度で少なくとも各1層よりなるニッケル層12とシリコン層13を交互に積層する積層膜形成工程(図1

(a)を参照)と、ニッケルモノシリサイド15を生成する第2の基板温度で熱処理するシリサイド反応工程(図1(a)を参照)とを有する形成方法であり、さらにその積層膜形成工程において、積層膜全体のシリコン原子数(N_{Si})に対するニッケル原子数(N_{Ni})の比率(N_{Ni}/N_{Si})を1以上としたことに特徴がある。

【0038】

<第1実施形態>

本願の第1実施形態であるニッケルシリサイド膜の形成方法について説明する。図1は、本発明の第1実施の形態として、シリコン基板上にニッケルモノシリサイドを主成分とするニッケルシリサイド膜を形成する方法を示す断面図である。

【0039】

本発明においてニッケルシリサイド膜15とは、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜のことである。なお、主成分以外の成分としては、シリサイド反応しないで膜中に存在するニッケル原子やシリコン原子、ニッケルダイシリサイド等が挙げられる。特に、ニッケルモノシリサイドが、ニッケルシリサイド膜中に50%以上存在していることが好ましく、80%以上存在していることがより好ましく、90%以上存在していることが最も好ましい。ニッケルモノシリサイドの割合の高いニッケルシリサイド膜ほど、MOSトランジスタのコンタクトとして好ましく使用することができる。本発明において、主成分というときは、ニッケルモノシリサイドが50%以上の割合で存在している場合をいっている。

【0040】

シリコン基板11については、単結晶シリコンでも多結晶シリコンでも特に限定されないが、その面方位としては、(111)面以外の面、例えば(100)面または(100)の微傾斜面などの面を主面とすることが望ましい。その理由は、(111)面を主面とした場合には、ニッケルダイシリサイドがエピタキシャル成長し易くなるという難点があるからである。

【0041】

シリコン基板 11 の表面には、イオン注入と活性化熱処理により、ドーパント濃度の高い層が形成されていても構わない。また、基板の最表面に、歪みのかかったシリコン、単結晶シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウムおよび歪みのかかったシリコン・ゲルマニウムから選択される 1 または 2 以上の半導体領域が含まれていてもよい。

【0042】

本発明のニッケルシリサイド膜の形成方法は、先ず、シリコン基板 11 上にニッケル層 12 とシリコン層 13 を交互に積層する。図 1 (a) においては、シリコン基板 11 に近い方から、ニッケル層 12、シリコン層 13、ニッケル層 12、…、の順でそれぞれ 3 層ずつ積層している。ニッケル層 12 とシリコン層 13 は、それぞれ、ニッケル原子とシリコン原子をスパッタリング法や分子線エピタキシー法等の任意の方法で堆積させることにより形成される。

【0043】

ニッケル層 12 とシリコン層 13 を積層するときのシリコン基板 11 の温度（本願においては第 1 の基板温度という。）は、積層したニッケル層 12 およびシリコン層 13 がシリサイド反応を起こさない温度に設定される。そうした温度に設定された基板上にニッケル層 12 とシリコン層 13 が交互に積層されるので、ニッケル原子とシリコン原子との間でシリサイド反応は起こっておらず、さらに、シリコン層 13 をアモルファスシリコンの状態で成膜することができる。第 1 の基板温度は、使用する成膜装置の種類やニッケル層とシリコン層の厚さなどの積層条件によっても適宜修正されるが、その温度範囲としては通常、室温（通常 20℃程度）～200℃であることが好ましく、50～100℃であることがより好ましい。なお、温度範囲の下限温度は、主に、基板表面に雰囲気中からの不純物が吸着するのを防ぐという観点から設定される。

【0044】

本発明においては、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が 1 以上となるように、ニッケル層 12 とシリコン層 13 の膜厚が設定される。すなわち、ニッケル層 12 とシリコン層 13 の膜厚は、積層膜全体でのニッケルとシリコンの原子数の比 ($N_{Ni} : N$

S_i) が 1:1 もしくは 1:1 よりもニッケルの方が多くなるように設定される。例えば、ニッケルとシリコンの原子量と比重から計算すると、全ニッケル層の厚さに対する全シリコン層の厚さの比の値が 1.79 のときにちょうどニッケル原子数 (N_{Ni}) とシリコン原子数 (N_{Si}) の比 ($N_{Ni} : N_{Si}$) が 1:1 となるので、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比率 (N_{Ni} / N_{Si}) が 1 以上となるようにするには、全ニッケル層の厚さに対する全シリコン層の厚さの比の値を 1.79 以下とするように調整すればよい。

【0045】

ニッケルとシリコンの原子数の比 ($N_{Ni} : N_{Si}$) が 1:1 に調整された積層膜は、後述するシリサイド反応工程により、積層したニッケル層中のニッケル原子とシリコン層中のシリコン原子とがちょうど全部反応して、均一で結晶性のよいニッケルモノシリサイドを主成分とするニッケルシリサイド膜が形成される。

【0046】

また、ニッケルとシリコンの原子数の比 ($N_{Ni} : N_{Si}$) が 1:1 よりもニッケルの方が多くなるように調整された積層膜（積層体ともいう。）は、ニッケル原子が余るので、そのニッケル原子が基板に拡散して基板のシリコンと反応することになる。しかし、基板のシリコンと反応するニッケル原子は、積層したシリコン層 13 と反応しなかったニッケル原子であり、その量はわずかであるので、均一で結晶性のよいニッケルモノシリサイドを主成分とするニッケルシリサイド膜が形成される。積層するニッケル層 12 とシリコン層 13 の層数と厚さを任意に変えることにより、形成されるニッケルシリサイド膜の厚さも自由に変えることができる。なお、積層したシリコン層 13 のシリコン原子がニッケル層 12 のニッケル原子よりも多い場合には、余分のシリコン原子が未反応のまま残ったり、高抵抗のニッケルダイシリサイドができたりして、得られたニッケルシリサイド膜は不均一で結晶性が悪く、抵抗値も高いものになってしまう。

【0047】

また、積層膜全体のシリコン原子数に対するニッケル原子数の比をあまり多く

してしまうと、積層したシリコン層のシリコン原子と反応しない余分なニッケル原子が基板中に拡散してシリコンと反応することになるので、シリコンの消費量をできるだけ少なくするという本発明の目的のためには、シリコン原子数に対するニッケル原子数の比をあまり多くしないことが望ましい。

【0048】

シリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比の好ましい範囲として、例えば、シリコン基板上に厚さ 10 nm のニッケルシリサイド膜を形成する場合を考える。ニッケルモノシリサイドを主成分とするニッケルシリサイド膜の消費ファクター、すなわち、形成されたニッケルシリサイド膜の膜厚 a とシリサイド反応で消費されるシリコンの膜厚 b との比 (b/a) は約 0.82 であることから、図 4 に示した態様の従来方法では約 8 nm の厚さの基板シリコンが消費されることになる。これに対して、図 1 に示した本実施態様の場合、積層したニッケル層中のニッケル原子とシリコン層中のシリコン原子がすべて反応してニッケルモノシリサイドになったとした場合の基板シリコンの消費量については、 Ni 原子数 (N_{Ni}) : Si 原子数 (N_{Si}) = 2 : 1 の時に約 4 nm の厚さの基板シリコンが消費され (図 1 (b) の符号 b を参照)、 $N_{Ni} : N_{Si} = 4 : 1$ の時に約 6 nm の厚さの基板シリコンが消費され、 $N_{Ni} : N_{Si} = 5 : 1$ では約 7 nm の厚さの基板シリコンが消費されることになる。したがって、図 4 に示した態様の従来方法よりも少なくとも 25 % 以上の改善効果を期待するならば、積層するニッケルとシリコンの原子数の比 (N_{Ni}/N_{Si}) は、4 以下であることが望ましい。

【0049】

また、図 2 (a) に示すように、基板の最表面にシリコン・ゲルマニウム混晶層 34 の領域や多結晶シリコン・ゲルマニウム層の領域が含まれる場合には、その基板上に積層したニッケル層中のニッケル原子の一部が、基板のシリコンと反応するような条件にしてニッケルモノシリサイドを形成することが好ましい。そうした条件としては、上述したようなシリコン基板上にニッケルシリサイド膜を形成する場合と同様に、消費ファクターを考慮し、積層膜全体のシリコン原子数に対するニッケル原子数の比 (N_{Ni}/N_{Si}) を 1 ~ 4 程度の範囲にすること

が望ましい。

【0050】

ニッケル層中のニッケル原子の一部と基板のシリコンとを反応させることにより、基板の単結晶シリコンの結晶性を、形成されるニッケルモノシリサイドの結晶性に反映させることができる。そのため、より結晶性のよいニッケルモノシリサイド膜を得ることができる。また、下地がシリコン層やシリコン・ゲルマニウム層である場合には、その下地中のシリコンを消費することにより、接触抵抗の低減を図ることができる。こうした効果をもたらすためには、ニッケルとシリコンの原子数の比 ($N_{Ni} : N_{Si}$) を 1 : 1 よりもニッケルの方が多くなるようにすることが望ましい。すなわち、ニッケルとシリコンの原子数の比 (N_{Ni} / N_{Si}) は 1 よりも大きく、4 以下であることが好ましい。

【0051】

また、MOS トランジスタ等においては、集積化の向上に伴いますソース・ドレイン層が浅くなることが要求されるが、このような場合には、ニッケルとシリコンの原子数の比 (N_{Ni} / N_{Si}) は 4 以下であることが好ましい。また、消費ファクターを 0.61 とする必要があるれば、ニッケルとシリコンの原子数の比 (N_{Ni} / N_{Si}) を 3 以下とすればよく、消費ファクターを 0.41 とする必要があるれば、ニッケルとシリコンの原子数の比 (N_{Ni} / N_{Si}) を 2 以下とすればよい。また、将来のさらなる集積化を考えれば、ニッケルとシリコンの原子数の比 (N_{Ni} / N_{Si}) を 2 以下とすることが最も好ましい。

【0052】

また、こうした積層膜形成工程においては、シリコン層各層のシリコン原子数 (N_{Si}) に対するニッケル層各層のニッケル原子数 (N_{Ni}) の比が、積層膜全体でのシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比と等しくなるように積層させることが好ましい。ここでいう各層の原子数比を積層膜全体の原子数比と等しくするとは、例えば、積層した一のニッケル層のニッケル原子数 (N_{Ni}) と一のシリコン層のシリコン原子数 (N_{Si}) との比が、多層に積層された積層膜全体のニッケル原子数 (N_{Ni}) とシリコン原子数 (N_{Si}) との比と等しくすることである。こうした構成にすることにより、後述するシ

リサイド反応におけるニッケルの拡散が積層膜の各部において均一に行われ、均質なニッケルモノシリサイドが生成し易くなる。その結果、抵抗値の低いニッケルモノシリサイドを安定して形成することができる。

【0053】

本発明においては、積層膜中のニッケル原子とシリコン原子が上述した関係を有することが重要でありその範囲内で成膜されるが、実際に成膜される各ニッケル層やシリコン層の厚さは、通常2～10nmの範囲である。ニッケル原子をシリコン中にすばやく拡散させてシリサイド反応を起こり易くさせるためにはできるだけ薄くすることが望ましいが、ニッケル層が薄いとニッケルダイシリサイドができ易くなること、また、積層回数が多いと工程に時間がかかってしまうことなどの観点から、上記のような厚さの範囲に設定されることが望ましい。また、各層の積層回数は、最終的に得られるニッケルシリサイド膜の厚さを考慮して設定されるが、通常は10～30nmのニッケルシリサイド膜の厚さとなるように、前記の各層の厚さを考慮して積層回数が設定される。

【0054】

次に、シリサイド反応工程について説明する。本発明のニッケルシリサイド膜の形成方法は、上述したように積層された積層膜を、ニッケルモノシリサイドが生成する第2の基板温度で熱処理することにより達成され、図1(b)に示すように、ニッケルモノシリサイドを主として含むニッケルシリサイド膜15が得られる。

【0055】

熱処理方法としては、通常の炉によるアニールやラピッドサーマルアニール(RTA)等の任意の方法を用いることができる。第2の基板温度は、ニッケルモノシリサイドが安定して生成する温度であれば任意の温度が選択される。第2の基板温度は、熱処理の方法によっても適宜修正されるが、その温度範囲としては通常300～750℃であることが好ましく、350～500℃であることがより好ましい。第2の基板温度が750℃を超えると、抵抗値の高いニッケルダイシリサイドを主成分とする膜になってしまう。また第2の基板温度が300℃未満では、十分にニッケルモノシリサイドを生成することができないことがある。

【0056】

熱処理時の雰囲気としては、真空雰囲気または任意のガス雰囲気例えば窒素等のガス雰囲気であればよいが、積層したニッケル層とシリコン層が酸化しないように酸素をできるだけ含まない雰囲気であることが望ましい。また熱処理時間は、積層膜全体の厚さや熱処理の方法、熱処理温度により設定されるが、通常の炉による熱処理では5～60分、RTAの場合には10～120秒である。

【0057】

ニッケルモノシリサイドは、上記の熱処理を施すことにより、ニッケル層12中のニッケル原子がシリコン層13に拡散してシリコン原子と反応して生成する。このとき、基板11に一番近いニッケル層12の一部のニッケル原子はシリコン基板11へも拡散するが、そのシリコン基板11が単結晶であるのに対して、ニッケル層12に接する上部シリコン層13はアモルファスシリコンであるので、ニッケル原子は上部のアモルファスシリコン中に優先的に拡散してニッケルモノシリサイドが形成される。

【0058】

また、ニッケルとシリコンの原子数の比($N_{Ni} : N_{Si}$)を1:1よりもニッケルの方が多くなるように積層膜を形成しておくことにより、シリコン層13のシリコン原子がすべてニッケルモノシリサイドとなってもニッケル原子が余ることになる。余ったニッケル原子は、シリコン基板11へと拡散して基板のシリコンと反応してニッケルモノシリサイドを形成する。

【0059】

したがって、本実施形態では、図1(b)に示すように、形成されたニッケルモノシリサイドを主成分として含むニッケルシリサイド膜の膜厚aに対して、反応に消費されたシリコン基板11の膜厚bを非常に小さくすることができる。こうして得られたニッケルシリサイド膜15は、均一で結晶性の良いものとなった。

【0060】

また、本実施形態において、ニッケル層とシリコン層の積層順序を逆にして、基板に一番近い層をシリコン層とし、その上に順次ニッケル層、シリコン層、...

、と積層させることができる。このようにすると、ニッケル層のニッケル原子は、シリコン基板へ達する前に必ずアモルファスシリコン層を通ることになり、ニッケルとシリコンの原子数の比 ($N_{Ni} : N_{Si}$) がちょうど 1 : 1 の場合でもニッケルモノシリサイドを安定して形成することができる。この場合には、シリコン基板のシリコン消費量をゼロとすることができるが、ニッケルとシリコンの原子数の比 ($N_{Ni} : N_{Si}$) を 1 : 1 よりもニッケルの方が多くなるように積層膜を形成し、ニッケル原子の一部がシリコン基板のシリコンと反応するような条件でニッケルモノシリサイドからなるニッケルシリサイド膜を形成した方が、基板の単結晶シリコンの結晶性が、形成されたニッケルモノシリサイドの結晶性に反映されるため、より結晶性の良いニッケルシリサイド膜が得られる。なお、ニッケルシリサイドが形成される基板面の結晶配向については既に述べたが、方位面として (100) 面または (100) 面の微傾斜面であることが好ましい。

【0061】

<第2実施形態>

次に、本願の第2実施形態について説明する。図2は、本発明の第2実施形態を説明する断面図である。この第2実施形態は、本発明のニッケルシリサイド膜の形成方法において、基板として、シリコン基板31の表面にシリコン・ゲルマニウム混晶層34が形成されたものを適用した例である。

【0062】

図2(a)に示すように、先ず、第1実施形態と同様の方法により、シリコン・ゲルマニウム混晶層34の上にニッケル層32とシリコン層33を、シリサイド反応を起こさない第1の基板温度の下で交互に積層する。この第2の実施形態においても、ニッケル層32とシリコン層33とを堆積するときの第1の基板温度を、シリサイド反応を起こさない室温(通常20℃程度)～200℃の範囲内の温度にする。その結果、シリコン層33がアモルファスシリコンとなり、堆積時においては、ニッケルとシリコンおよび基板のシリコン・ゲルマニウム混晶の反応が起こらない。また、第1の実施形態と同様に、ニッケル層32とシリコン層33の膜厚は、ニッケルとシリコンの原子数の比 ($N_{Ni} : N_{Si}$) が 1 : 1 もしくは 1 : 1 よりもニッケルの方が多くなるようにすることが好ましく、ニッ

ケル層 32 とシリコン層 33 の厚さと層数は、形成しようとするニッケルシリサイド膜 35 の膜厚により変えることができる。

【0063】

次に、ニッケルモノシリサイドを主に形成する第 2 の基板温度で熱処理することにより、図 2 (b) に示すように、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜 35 を得ることができる。このとき、ニッケル層 32 中の一部のニッケル原子はシリコン・ゲルマニウム混晶層 34 へ拡散して反応するので、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜 35 とシリコン・ゲルマニウム混晶層 34 との間に、抵抗値の高いニッケルジャーマノシリサイド ($\text{NiSi}_{1-x}\text{Ge}_x$) 層 36 ができる。したがって、この態様によれば、シリコン・ゲルマニウム混晶とニッケルを反応させた場合よりも低い抵抗値の膜が得られるという効果もあり、MOS トランジスタにおいてシリコン・ゲルマニウム混晶をソース・ドレイン領域に用いたり、ゲート電極を多結晶シリコン・ゲルマニウムで形成したりする場合にも、トランジスタ特性を向上させることができる。

【0064】

なお、熱処理をする第 2 の基板温度は、ニッケルモノシリサイドが良好に生成し、かつニッケルダイシリサイド反応が起きないように、 $300 \sim 750^\circ\text{C}$ の温度範囲、好ましくは $350 \sim 500^\circ\text{C}$ の温度範囲で熱処理されることが好ましい。

【0065】

従来のニッケルだけを堆積して熱処理する方法では、形成された膜はすべてニッケルジャーマノシリサイドとなり、またニッケルジャーマノシリサイド層とシリコン・ゲルマニウム混晶層の界面にゲルマニウムが析出して欠陥を作りやすい。しかし、本実施形態では、ニッケル原子がアモルファスシリコン層へ拡散しやすい性質により、形成されるニッケルジャーマノシリサイド層を非常に薄くすることができる。例えば、Ni 原子数 (N_{Ni}) : Si 原子数 (N_{Si}) = 2 : 1 の条件で積層して 10 nm のニッケルシリサイド膜を形成する場合には、ニッケルジャーマノシリサイド層を 4 nm 程度に薄くすることができる。ニッケルジャ

ーマノシリサイドは、ゲルマニウム濃度が高くなるに従い、抵抗値も高くなるので、この実施形態で形成した膜は、従来のニッケルだけを堆積して熱処理する方法で形成した場合よりも、低い抵抗値を得ることができる。また熱処理の際に、ニッケルジャーマノシリサイド層中のゲルマニウム原子の拡散も起こるので、ニッケルジャーマノシリサイド層中のゲルマニウム濃度が低くなり、より低抵抗になるという効果もある。

【0066】

また、本実施形態において、ニッケル層とシリコン層の積層順序を逆にして、基板に一番近い層をシリコン層とすることもできることは、第1実施形態の場合と同様である。

【0067】

なお、本実施形態では、シリコン基板の表面にシリコン・ゲルマニウム混晶層が形成されている場合に本発明のニッケルシリサイド膜の形成方法を適用する場合を示したが、本発明は、シリコン基板の表面に形成されている層が多結晶の場合でも適用可能である。なぜならば、ニッケル層と交互に積層するシリコン層は、アモルファス状態であり、ニッケル原子は多結晶中よりもアモルファス中の方が拡散しやすいからである。したがって、本発明によれば、基板の表面が、多結晶シリコンや多結晶シリコン・ゲルマニウムである場合にも、基板のシリコンやシリコン・ゲルマニウムの消費を少なくして、十分な厚さを持ったニッケルモノシリサイド膜を形成することができる。

【0068】

また、上述した第1および第2の実施形態において、基板は通常のシリコン基板だけでなく、シリコン オン インシュレータ (SOI) 基板やシリコン・ゲルマニウム オン インシュレータ (SGOI) 基板でも良い。この場合には、薄いSOI層やSGOI層にMOSトランジスタを形成する場合に、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができる。

【0069】

<第3実施形態>

次に、本願の第3実施形態について説明する。図3は、本発明の第3実施形態として、本発明をMOSトランジスタのソース・ドレインおよびゲート電極とのコンタクトに適用した例を示している。図3(a)は、コンタクトを形成する前のMOSトランジスタの断面図である。シリコン基板41上に素子分離領域42、ゲート絶縁膜43、ソース・ドレイン領域44、ゲート電極45、およびゲート側壁46が形成されている。

【0070】

まず、図3(b)に示すように、全面にレジストを塗布した後にマスクを用いた露光とエッチングを行ない、素子分離領域とゲート側壁の上にのみレジスト47を残す。次に、図3(c)に示すように、第1実施形態および第2実施形態と同様に、ニッケル層48とシリコン層49を交互に堆積する。この時、通常のスパッタリング法や分子線エピタキシー法などの方法により、基板全面にニッケルとシリコンの積層構造が形成される。

【0071】

次に、第1実施形態および第2実施形態と同様の熱処理を行なうことにより、図3(d)に示すように、ニッケルシリサイド膜410が形成される。次に、レジストに対して選択性を持つエッチング液により、ゲート側壁および素子分離領域上に形成されたニッケルシリサイド膜を、レジストとともに除去し、図3(e)に示すようなソース・ドレイン領域とゲート電極にニッケルシリサイドコンタクトを形成したMOSトランジスタが得られる。

【0072】

このようにして形成したMOSトランジスタは、十分な厚さを持ったニッケルシリサイド膜のコンタクトが形成されているので、コンタクトの抵抗を低くすることができ、トランジスタの性能が向上する。また、ソース・ドレイン領域のシリコンがあまり消費されずにシリサイド膜が形成されているので、ソース・ドレイン領域のpnジャンクションとシリサイド膜の距離が十分離れており、ジャンクションリークによる劣化も少ない。

【0073】

(半導体装置の製造方法)

次に、半導体装置の製造方法について説明する。

【0074】

本発明の半導体装置の製造方法は、上述したニッケルシリサイド膜の形成方法を利用したものであって、表面に半導体領域および絶縁膜領域を有する基板上に、シリサイド反応を起こさない第1の基板温度で少なくとも各1層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、当該積層膜をニッケルモノシリサイドが生成する第2の基板温度で熱処理するシリサイド反応工程と、前記絶縁膜上に形成された膜をエッチングにより除去するエッチング工程とを含む半導体装置の製造方法である。そして、積層膜形成工程において、積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が1より大きいことに特徴がある。

【0075】

本発明においては、前記の各工程が連続工程を構成している一貫プロセスであってもよいし、それらが任意に独立した工程であってもよい。

【0076】

本発明の製造方法において、積層膜形成工程とシリサイド反応工程とにより形成されるニッケルシリサイド膜の基本的な態様については、上述したニッケルシリサイド膜の形成方法の説明欄に記載したとおりであるが、本発明の特徴は、表面に半導体領域および絶縁膜領域を有する基板上に積層膜全体のシリコン原子数 (N_{Si}) に対するニッケル原子数 (N_{Ni}) の比 (N_{Ni}/N_{Si}) が1より大きくなるようにニッケルとシリコンを堆積し、その後シリサイド反応させたときの膜組成が、半導体上と絶縁膜上とで異なることにある。そして、絶縁膜上に形成されたシリサイド膜はニッケルリッチなニッケルシリサイド膜となってエッチングされやすく、その結果、絶縁膜上のシリサイド膜を容易に選択エッチングすることができる。

【0077】

すなわち、基板の絶縁膜が露呈した部分に堆積されたニッケルとシリコンが反応してシリサイドとなるが、ニッケルは絶縁膜中に拡散することができず、絶縁膜中の成分原子とは反応しないので、絶縁膜上では、堆積したニッケル原子とシ

リコン原子との比に応じた組成比のニッケルシリサイドが形成される。本発明では、ニッケル原子数がシリコン原子数よりも多くなるように堆積するので、絶縁膜上ではニッケル過剰（リッチ）のニッケルシリサイドが形成される。また、半導体であるシリコン上では堆積したニッケル原子の一部が基板中に拡散し、基板のシリコン原子とも反応するので、形成されたニッケルシリサイド膜は、基板の単結晶シリコンあるいは多結晶シリコンの結晶性を引き継いで結晶化し、グレインがある程度の大きさを持ち、特定の結晶方位に配向した膜となる。これに対して、絶縁膜上では、絶縁膜がアモルファスであるために、ニッケルシリサイド膜はグレインが小さく、特定の結晶方位に配向しにくく、結晶性の悪い膜となる。

【0078】

このようにニッケル原子が過剰で、結晶性も悪いニッケルシリサイド膜は、例えば、塩酸、過酸化水素水、水を適当な割合で混合したエッチング液によって容易に除去することができる。この時、シリコン上のニッケルシリサイド膜は、ニッケルモノシリサイド（ NiSi ）が主成分であり、結晶性も良いので、ほとんどエッチングされない。

【0079】

したがって、本発明によれば、基板シリコン中のシリコン原子の消費量をできるだけ少なくして、なおかつ十分な厚さをもった低抵抗のニッケルシリサイド膜を形成することが可能となる。さらに、絶縁膜上に形成されたニッケルシリサイド膜をウェットエッチングによって除去して単結晶または多結晶のシリコン上のみニッケルシリサイド膜を形成することが可能である。本発明の方法をMOSトランジスタの製造工程に適用すれば、素子分離領域やゲートサイドウォールのシリコン酸化膜あるいはシリコン窒化膜上のニッケルシリサイドをウェットエッチングによって除去して、ソース・ドレイン領域の単結晶シリコンおよびゲート電極の多結晶シリコンの部分にのみニッケルシリサイドを形成するシリサイドプロセスが可能となる。

【0080】

エッチングされるシリサイド膜は、シリサイド膜全体のシリコン原子数（ N_{Si} ）に対するニッケル原子数（ N_{Ni} ）の比（ $N_{\text{Ni}}/N_{\text{Si}}$ ）が1.11（ N

$i : S i = 1 : 0.9$ 未満) より大きいことが好ましく、 1.25 ($N i : S i = 1 : 0.8$ 未満) より大きいことがより好ましく、 1.43 ($N i : S i = 1 : 0.70$ 未満) よりも大きいことが更に好ましい。この組成からなるシリサイド膜は、エッチング液により速やかにエッチングされる。これは、例えば $N N i / N S i$ が 1.00 ($N i : S i = 1 : 1$) の組成のシリサイド膜がエッチングされないのとは大きく異なる。

【0081】

なお、上記の組成は、シリサイド膜全体の組成であっても、絶縁膜に接する境界面の組成であってもよい。すなわち、少なくとも絶縁膜に接する境界面の組成が上記範囲であることが必要であり、シリサイド膜は少なくともその境界面でエッチング液に浸食されてエッチングされる。ニッケルとシリコンの組成は、X線光電子分光 (XPS) 等により分析した結果である。

【0082】

また、シリサイド膜は、そのX線回折パターンが $N i_2 S i$ の回折ピークを有する場合においても好ましくエッチングされる。

【0083】

図6は、半導体である $S i$ 上と絶縁膜である $S i O_2$ 上のそれぞれに、積層膜全体のシリコン原子数 ($N S i$) に対するニッケル原子数 ($N N i$) の比 ($N N i / N S i$) が 2 ($N i : S i = 1 : 0.5$) となる条件で積層し、その後 $400^{\circ}C$ でアニールしてシリサイド反応させた後のシリサイド膜のX線回折パターンを示している。 $S i$ 上にはニッケルモノシリサイド ($N i S i$) の回折ピークが表れているのに対し、 $S i O_2$ 上には $N i_2 S i$ の回折ピークが表れている。本発明者らは、このX線回折パターンを有するシリサイド膜をエッチングしたところ、 $N i_2 S i$ の回折ピークをもつ $S i O_2$ 上のシリサイド膜が選択的にエッチングされたのを確認した。そのエッチング前後のTEM写真を図12と図13に示した。図13においては、 $S i O_2$ 上に形成された $N i_2 S i$ がエッチングにより消えているのが確認された。

【0084】

なお、上述した本発明の半導体装置の製造方法は、ニッケルとシリコンを積層

させた後にシリサイド反応させたニッケルシリサイド膜についてのものであるが、ニッケルとシリコンを共析 (co-deposition) させた後にシリサイド反応させたニッケルシリサイド膜であってもよい。その場合には、成膜時のニッケルとシリコンの組成比 (N_{Ni}/N_{Si}) を上記と同様の 1 より大きい組成比で析出させる。こうして共析した膜には、上述した第 2 の熱処理と同じ温度の熱処理を施して、シリサイド反応させる。シリサイド反応後の膜については、(i) 半導体である Si 上のシリサイド膜は、余ったニッケルが Si 中に拡散して消費されるので、エッチングされないニッケルモノシリサイド膜となっており、(ii) 絶縁膜である SiO_2 膜上のシリサイド膜は、余ったニッケルが SiO_2 中に拡散できないので、エッチングされやすい Ni_2Si 膜となっている。その結果、上述したのと同様に、絶縁膜である SiO_2 膜上のシリサイド膜のみを選択的にエッチングすることができる。ニッケルとシリコンの共析方法は、反応性スパッタ法や CVD 法等の各種の成膜方法を適用できる。

【0085】

<第 4 実施形態>

次に、本願の第 4 実施形態である半導体装置の製造方法について説明する。図 7 は、シリコン基板 71 上の MOS トランジスタにおいて、ソース・ドレイン領域 76 とゲート電極 74 にニッケルモノシリサイドを主成分とするニッケルシリサイド膜 710 を自己整合的に形成する方法を例示した工程毎の断面図である。この実施形態においても、ニッケルモノシリサイド膜は、ニッケルモノシリサイドを主成分とするニッケルシリサイド膜のことを意味する。

【0086】

先ず、図 7 (a) に示すように、シリコン基板 71 上に、通常の MOS トランジスタの製造プロセスによって、素子分離領域 72、ゲート絶縁膜 73、ゲート電極 74、ゲートサイドウォール 75、ソース・ドレイン領域 76 を形成する。ここで、素子分離領域 72 およびゲートサイドウォール (ゲート側壁ともいう。) 75 は、シリコン酸化膜またはシリコン窒化膜などの絶縁膜によって構成され、ゲート電極 74 には多結晶シリコンが用いられている。また、ソース・ドレイン領域 76 は、基板シリコン 71 にボロンや砒素などのドーパント不純物をイオ

ン注入し、活性化アニールを行うことによって形成される。

【0087】

次に、図7 (b) (b') に示すように、この基板全面に、ニッケル層78とシリコン層79とを交互に積層した積層膜77を形成する。図7 (b') は、積層膜77の拡大図であり、基板に近い方からニッケル層78、シリコン層79の順で、それぞれ3層ずつ積層している。ここで、ニッケル層78とシリコン層79は、それぞれ、ニッケル原子とシリコン原子を、スパッタリング法、分子線エピタキシー法等の任意の方法によって堆積することによって形成できるが、堆積する時の基板温度を200℃以下にして、シリコン層79がアモルファスシリコンとなり、堆積中にはニッケルとシリコンが反応しないようにする。

【0088】

ニッケル層78とシリコン層79の膜厚は、積層膜77全体でのニッケルとシリコンの原子数の比 (N_{Ni}/N_{Si}) が1より大きくなるようにする。言い換えれば、 $N_{Ni}:N_{Si}$ においては1:1よりもニッケルの方が多くなるようにする。ニッケル層とシリコン層との堆積形態については、ニッケルシリサイド膜の形成方法の説明欄に記載したのと同様であるが、全ニッケル層の厚さに対する全シリコン層の厚さの比が1.79の時にちょうどニッケル原子数 (N_{Ni}) とシリコン原子数 (N_{Si}) が1:1となるので、全ニッケル層の厚さに対する全シリコン層の厚さの比が1.79より小さくなるようにすればよい。

【0089】

ニッケル層とシリコン層の積層順序については、その積層順序を逆にして、基板に一番近い層をシリコン層とすることもできる。また、一番上の層をシリコン層とすれば、積層後に基板を装置から取り出して熱処理を行なうまでの間に積層したニッケルが酸化するのを防ぐことができるという効果もある。

【0090】

次に、図7 (c) に示すように、ニッケルとシリコンを堆積した時の基板温度よりも高い第2の温度で熱処理することにより、ソース・ドレイン領域およびゲート電極のシリコンが露出した部分にニッケルモノシリサイド膜710が形成される。熱処理方法、熱処理温度および熱処理雰囲気等については、上述したニッ

ケルシリサイド膜の形成方法の場合と同様であるので省略する。

【0091】

本実施形態では、堆積したニッケル原子とシリコン原子が反応してニッケルモノシリサイド膜が形成される。このとき、ソース・ドレイン領域およびゲート電極のシリコンが露出した部分においては、ニッケル原子がシリコン原子よりも多く、ニッケルモノシリサイドの形成に十分な量よりもニッケル原子が余分に存在しているので、過剰なニッケル原子の一部が露出したシリコン中に拡散してシリサイド反応を起こし、ニッケルモノシリサイドが形成される。一方、もし堆積したシリコン原子がニッケル原子よりも多い場合においては、余分のシリコン原子が未反応のまま残ったり、高抵抗のニッケルダイシリサイドができたりして、得られたニッケルシリサイド膜は不均一で結晶性が悪く、抵抗値も高いものになってしまう。そこで、本発明では、ニッケルとシリコンの原子数の比 (N_{Ni}/N_{Si}) が 1 より大きくなるように (言い換えれば、ニッケルとシリコンの原子数の比が 1 : 1 よりもニッケルの方が多くなるように) ニッケルとシリコンを堆積するので、余分のニッケル原子は基板のシリコン中に拡散して反応し、均一で結晶性の良いニッケルモノシリサイドを主成分とするニッケルシリサイド膜が形成される。この時、基板のシリコンと反応するニッケルは堆積したシリコン原子と反応しなかったニッケル原子である。

【0092】

一方、図 7 (c) に示すように、素子分離領域およびゲートサイドウォールの絶縁膜が露呈した部分に堆積されたニッケルとシリコンも反応してニッケルシリサイド膜 711 となるが、ニッケルは絶縁膜中の成分原子とは反応しないので、絶縁膜上では、堆積したニッケル原子とシリコン原子との比に応じた組成比のニッケルシリサイドが形成される。本発明では、上述したように、ニッケル原子数がシリコン原子数よりも多くなるように堆積するので、絶縁膜上ではニッケル過剰のニッケルシリサイドが形成される。また、シリコン上では堆積したニッケル原子の一部が基板中のシリコン原子とも反応するので、形成されたニッケルシリサイド膜は、基板の単結晶シリコンあるいは多結晶シリコンの結晶性を引き継いで結晶化し、グレインがある程度の大きさを持ち、特定の結晶方位に配向した膜

となる。これに対して、絶縁膜上では、絶縁膜がアモルファスであるために、ニッケルシリサイド膜はグレインが小さく、特定の結晶方位に配向しにくく、結晶性の悪い膜となる。このようにニッケル原子が過剰で、結晶性も悪いニッケルシリサイド膜は、適当なエッチング液によって容易に除去することができる。この時、シリコン上のニッケルシリサイド膜は、ニッケルモノシリサイドが主成分であり、結晶性も良いので、ほとんどエッチングされない。

【0093】

したがって、熱処理後に適当なエッチング液、例えば、塩酸、過酸化水素水、水を1:1:6で混合した溶液に基板全体を浸すことによって絶縁膜上に形成された膜を除去して、図7(d)に示すような、ソース・ドレイン領域とゲート電極部分にのみニッケルシリサイドが形成された構造を作ることができる。なお、エッチング液としては、ニッケルモノシリサイドがほとんどエッチングされず、ニッケル過剰のニッケルシリサイドがエッチングされるものならば何でも良い。このようなものとしては、上記のエッチング液の他に、例えば、硫酸、過酸化水素水、水の混合液、アンモニア水、過酸化水素水、水の混合液などがある。また、エッチング反応を早め、絶縁膜上のニッケルシリサイドをより完全に除去するために、これらのエッチング液の混合比を変える、エッチング液を加熱する、いくつかのエッチング液を組み合わせる、等の方法を使っても良い。

【0094】

このようにして図7(d)の構造を得た後、通常のプロセスにしたがって、層間膜を形成し、配線を行うことによって、MOSトランジスタが得られる。このようにして得られたMOSトランジスタは、コンタクト部分のニッケルシリサイド膜が、ソース・ドレイン領域のpn接合から十分離れており、なおかつ十分な厚さを持っているので、シリサイド膜とソース・ドレインのpn接合が接近することに起因するリーク電流の減少とシリサイド膜の低抵抗化によってトランジスタの特性が向上する。

【0095】

近年、MOSトランジスタのさらなる特性向上を目指して、ソース・ドレイン領域にシリコン・ゲルマニウム混晶を用いたり、ゲート電極に多結晶シリコン・

ゲルマニウムを用いたりすることが提案されているが、本発明は、このような場合にも適用できる。

【0096】

<第5実施形態>

本願の第5実施形態は、上記の第4実施形態において、ソース・ドレイン領域およびゲート電極がシリコン・ゲルマニウム混晶および多結晶シリコン・ゲルマニウムである場合である。

【0097】

第5実施形態は、図8(a)に示すように、ゲート電極84が多結晶シリコン・ゲルマニウム混晶によって形成され、ソース・ドレイン領域86が単結晶シリコン・ゲルマニウム混晶層によって形成されている。これは、例えば、通常のMOSトランジスタの製造プロセスにおいて、ゲート電極を形成する工程で多結晶シリコンを成長させる代わりに多結晶シリコン・ゲルマニウムを成長させ、ゲート電極形成後にソース・ドレイン領域のシリコン層をいったんエッチングによって除去してからCVD等によってシリコン・ゲルマニウム混晶を選択エピタキシャル成長させることによって実現される。あるいは、ソース・ドレイン領域のエッチングを行わずにシリコン・ゲルマニウム混晶を選択エピタキシャル成長させ、せり上げ構造としてもよい。なお、図8(a)において、符号81はシリコン基板、符号82は素子分離領域、符号83はゲート絶縁膜、符号85はゲートサイドウォールである。

【0098】

図8(a)のような構造に対して、まず、第4実施形態と同様の方法によって、基板全体にニッケル層とシリコン層を、基板温度を第1の温度として、交互に積層する。上記第4実施形態においても、堆積する時の基板温度を200℃以下にして、シリコン層がアモルファスシリコンとなり、堆積中にはニッケルとシリコンおよび基板のシリコン・ゲルマニウム混晶が反応しないようにする。この場合にも、第4実施形態と同様に、ニッケル層とシリコン層の膜厚は、ニッケルとシリコンの原子数の比が1:1よりもニッケルの方が多くなるようにするが、ニッケル層とシリコン層の厚さと層数は、形成したいニッケルモノシリサイドの膜

厚によって変えることができる。

【0099】

次に、第1の温度よりも高い第2の温度で熱処理を行ない、引き続いて第4実施形態と同様のエッチング液を用いて絶縁膜上のニッケルシリサイドを除去することにより、図8(b)に示すように、ニッケルモノシリサイド膜810がソース・ドレイン領域86およびゲート電極84に形成された構造が得られる。このとき、ゲート電極84およびソース・ドレイン領域86では、一部のニッケル原子はシリコン・ゲルマニウム混晶層へ拡散して反応するので、ニッケルモノシリサイド膜810とシリコン・ゲルマニウム混晶層からなるゲート電極84およびソース・ドレイン領域86の間にニッケルジャーマノシリサイド ($\text{NiSi}_{1-x}\text{Ge}_x$) 層812ができる。本第4実施形態においても、熱処理をする第2の温度は、ニッケルモノシリサイドが良好に形成され、かつダイシリサイド反応が起きないように、750℃以下であることが望ましい。

【0100】

従来のニッケルだけを堆積して熱処理する方法では、形成された膜はすべてニッケルジャーマノシリサイドとなり、またニッケルジャーマノシリサイド層とシリコン・ゲルマニウム混晶層の界面にゲルマニウムが析出して欠陥を作りやすいが、本実施形態では、ニッケル原子の大部分が堆積したシリコン層と反応することによって、形成されるニッケルジャーマノシリサイド層812を非常に薄くすることができる。ニッケルジャーマノシリサイドは、ゲルマニウム濃度が高くなるに従い、抵抗値も高くなるので、本実施形態で形成した膜は、従来のニッケルだけを堆積して熱処理する方法で形成した場合よりも、低い抵抗値を得ることができる。また、熱処理の際に、ニッケルジャーマノシリサイド層中のゲルマニウム原子の拡散も起こるので、ニッケルジャーマノシリサイド層中のゲルマニウム濃度が低くなり、より低抵抗になるという効果もある。

【0101】

また、本実施形態において、ニッケル層とシリコン層の積層順序を逆にして、基板に一番近い層をシリコン層とすることもできることは、第4実施形態の場合と同様である。

【0102】

以上のように、本発明の半導体装置の製造方法によれば、ソース・ドレイン領域86およびゲート電極84がシリコン・ゲルマニウム混晶および多結晶シリコン・ゲルマニウムである場合にも、基板のシリコン・ゲルマニウムの消費を少なくして、十分な厚さを持ったニッケルモノシリサイド膜810を形成することができる。

【0103】

また、上記第4および第5の実施形態において、基板は通常のシリコン基板81だけでなく、シリコン オン インシュレータ (SOI) 基板やシリコン・ゲルマニウム オン インシュレータ (SGOI) 基板でも良い。

【0104】

<第6実施形態>

次に、第6実施形態として、SOI基板上のMOSトランジスタに本発明を適用した場合を示す。図9は、上記第4および第5の実施形態と同様の方法によってニッケルモノシリサイド膜910を形成したSOI基板上のMOSトランジスタの断面図である。

【0105】

第6実施形態では、ソース・ドレイン領域96は、埋め込み酸化膜層913の上のSOI層に形成されている。薄膜SOIでは、SOI層の厚さが10nm程度になるが、本発明を適用すれば、SOI層のシリコンの消費量を少なくして厚いニッケルモノシリサイド膜910を形成できる。例えば、 N_{Ni}/N_{Si} が1.5 ($N_{Ni}:N_{Si}=1:0.66$) の条件で膜厚20nmのニッケルモノシリサイド膜910を形成すると、SOI層のシリコンの消費される厚さを約5nmとすることができ、ニッケルモノシリサイド膜910と埋め込み酸化膜層913との距離を十分とることができる。従来のニッケルのみを堆積してアニールする方法では、SOI層のシリコンの消費される厚さを5nmとするには、ニッケルモノシリサイド膜の厚さは約6nmとなってしまう、本発明によって膜厚20nmのニッケルモノシリサイド膜910を形成した場合よりも、シート抵抗値が3倍以上になってしまう。したがって、SOI基板上のMOSトランジスタにお

いて、ニッケルモノシリサイド膜 910 が埋め込み酸化膜層 913 まで達して MOS トランジスタの特性が劣化するという現象を防ぐとともに、従来法を用いた場合よりもトランジスタ特性を向上させることができる。なお、図 9 において、符号 91 はシリコン基板、符号 92 は素子分離領域、符号 93 はゲート絶縁膜、符号 94 は多結晶シリコンよりなるゲート電極、符号 95 はゲートサイドウォールである。

【0106】

<第 7 実施形態>

本発明を、歪のかかったシリコンまたは歪のかかったシリコン・ゲルマニウム混晶をチャンネルとする MOS トランジスタに適用することも可能である。図 10 は、上記第 4 から第 6 の実施形態と同様の方法により、歪のかかったシリコン層に形成された MOS トランジスタに本発明を適用した場合の断面図である。

【0107】

図 10 では、シリコン基板 101 上にシリコン・ゲルマニウム層 115 が形成され、シリコン・ゲルマニウム層 115 上に形成されたシリコン層に歪シリコンチャンネル層 114 とソース・ドレイン領域 106 が形成されている。

【0108】

ここで、シリコン・ゲルマニウム層 115 のシリコン・ゲルマニウムは歪が緩和しており、この上に形成された歪シリコンチャンネル層 114 とソース・ドレイン領域 106 を含むシリコン層は、歪緩和のシリコン・ゲルマニウム層 115 にエピタキシャル成長しているために歪がかかっている。歪シリコンチャンネルを持つ MOS トランジスタでは、シリコン層に歪をかけるために歪シリコンチャンネル層 114 は非常に薄くしなければならない。歪シリコンチャンネル層 114 とソース・ドレイン領域 106 を含むシリコン層の厚さは 10 nm 程度である。したがって、本発明を適用すれば、上記第 6 実施形態で示したのと同じようにニッケルモノシリサイド膜 110 がシリコン・ゲルマニウム層 115 に達するのを防ぐことができるとともに、歪シリコン層のシリコン消費量が少ないことから、シリサイド化の際にソース・ドレイン領域 106 および歪チャンネル領域 114 の歪が緩和してしまうことを防ぐことができる。

【0109】

ニッケルモノシリサイド膜110がシリコン・ゲルマニウム層115に達してしまうと、シリコン・ゲルマニウム層115を通して電流がリークしてしまう。また、歪チャネル領域の歪が緩和してしまうと、歪チャネルを用いたことによるMOSトランジスタの性能向上がはかれなくなってしまう。したがって、本発明を歪チャネルMOSトランジスタに適用することによって、トランジスタの特性劣化を防ぎ、歪チャネルMOSトランジスタの本来の特性を十分に引き出すことができる。なお、図10において、符号102は素子分離領域、符号103はゲート絶縁膜、符号104は多結晶シリコンよりなるゲート電極、符号105はゲートサイドウォールである。

【0110】

<第8実施形態>

図11は、メタルゲートのMOSFETに本発明を適用した場合の断面図である。先ず、図11(a)に示すように、ゲート絶縁膜203、ゲート電極(金属)204を積層してから、シリコン酸化膜またはシリコン窒化膜からなるキャップ層205を積層する。その後、リソグラフィとドライエッチングによってゲート構造を形成する。ここで、キャップ層205については、シリコン酸化膜またはシリコン窒化膜のように、後から積層するニッケルおよびシリコンと反応せずに尚且つニッケルモノシリサイドをエッチングする際のエッチング液でエッチングされない膜ならば良い。

【0111】

次に、全体にシリコン酸化膜を形成し、ドライエッチングによって、図11(b)に示すようなゲート側壁(ゲートサイドウォール)206を形成する。ゲート電極204上には、図11(a)で形成したキャップ層205を残す。

【0112】

次に、図11(c)に示すようなニッケルとシリコンの積層膜208を、上述した各実施形態と同様の方法で形成する。その後、図11(d)に示すように、アニール後にエッチングを行なうことにより、ソース・ドレイン領域207にのみニッケルモノシリサイド(NiSi)層209が形成される。この後、ゲート

電極 204 上のキャップ層 205 は、ゲート電極 204 にコンタクトを形成する際にエッチングによって除去される。なお、図 11 において、符号 201 はシリコン基板、符号 202 は素子分離領域である。

【0113】

(実施例)

以下、実施例により本発明を更に具体的に説明する。

【0114】

製膜装置として分子線エピタキシー (MBE) 装置を用い、シリコンの (100) 単結晶基板上に、第 1 の基板温度 50℃ で、先ずニッケル層を形成した後、シリコン層、ニッケル層の順に交互にそれぞれ 5 層積層した。その後、同じ MBE 装置を用いた真空雰囲気内で、第 2 の基板温度 400℃・30 分間の熱処理を行なってシリサイド反応を行った。表 1 は、ニッケル層の厚さとシリコン層の厚さを変化させたときのそれぞれの膜厚と、熱処理後に得られたニッケルシリサイド膜のシート抵抗値とを示している。なお、上述したように、Ni と Si の原子量と比重から計算すると、全 Si 厚/全 Ni 厚が 1.79 のときにちょうど Ni 原子数と Si 原子数が 1:1 となる。

【0115】

【表 1】

試料	Ni 層の厚さ (nm)	Si 層の厚さ (nm)	積層回数 (回)	熱処理温度 (℃)	シート抵抗値 ($\Omega/\text{sq.}$)
A	2	5	5	400	38
B	2	2.5	5	400	9.7
C	2	2	5	400	9.5

*) $\Omega/\text{sq.} = \Omega/\text{cm}^2$

【0116】

表 1 に示したように、試料 A では Ni 層の厚さが 2 nm で Si 層の厚さが 5 nm であるので、Si 厚/Ni 厚 = 2.5 となり、原子数で比較すると Si 原子のほうが Ni 原子よりも過剰になっている。この場合には、良好なニッケルモノシリサイドを有するニッケルシリサイド膜ができておらず、シート抵抗値が高いニッケルダイシリサイドを有するニッケルシリサイド膜が形成された。

【0117】

これに対して、試料Bでは、Ni層の厚さが2 nmでSi層の厚さが2.5 nmであるので、 $Si\text{厚}/Ni\text{厚}=1.25$ となり、原子数で比較するとNi原子の方がSi原子よりも過剰になっている。また、試料Cにおいても、Ni層の厚さが2 nmでSi層の厚さが2 nmであるので、 $Si\text{厚}/Ni\text{厚}=1$ となり、原子数で比較するとNi原子の方がSi原子よりも過剰になっている。これらの場合には、抵抗値の低い良好なニッケルモノシリサイドが生成されるので、低いシート抵抗値が得られた。また、試料Bおよび試料Cのニッケルシリサイド膜を測定し、その膜厚と表1のシート抵抗値とから抵抗率を計算した結果、約 $14\sim 17\ \mu\Omega\text{cm}$ となった。この抵抗率の結果からも、良好なニッケルモノシリサイドからなるニッケルシリサイド膜が形成されていることが確認された。さらに、X線回折測定や透過電子顕微鏡観察による評価結果からも、試料Bと試料Cは良好なニッケルモノシリサイド膜が形成されていることが確認された。

【0118】

本実施例において、例えば試料Cでは、ニッケルモノシリサイドからなるニッケルシリサイド膜の厚さは透過電子顕微鏡での観察結果から約18 nmであった。このとき、消費ファクター: 0.82を用いて計算すると、試料Cでは、約15 nmの膜厚に相当するシリコン原子が消費されたことになる。試料Cにおいて、堆積したシリコン層の厚さはトータルで10 nmであり、このシリコン原子がすべて反応してニッケルモノシリサイドになると想定されるので、シリサイド反応に消費されたシリコン原子のうち、シリコン基板のシリコンに由来するものは、5 nmの厚さに相当する。したがって、本実施例では、従来よりも基板シリコンの消費量を少なくして、ニッケルモノシリサイドからなる十分な厚さのニッケルシリサイド膜を形成できることが確認できた。

【0119】

こうした結果は、今後の最先端のCMOSにおけるより一層の薄膜化に対応することを可能にさせる。すなわち、最先端のCMOSでは、コンタクト形成領域のソース・ドレインの深さが20 nm程度となることが予測されている。しかしながら、従来のニッケルとシリコン基板のみとを反応させる方法では、トランジ

スタ特性を劣化させないために、シリサイド反応の際に消費されるシリコン基板の厚さをソース・ドレインの深さの半分以下すなわち10nm以下にしなければならず、そのため、ニッケルモノシリサイドの厚さもニッケルモノシリサイドの消費ファクターが約0.82であることから12nm以下となってしまう。従って、ジャンクションリーク特性を低下させないで低抵抗化できるための十分に厚いニッケルモノシリサイドからなるニッケルシリサイド膜を生成することが困難であった。しかしながら、この実施例における試料Cおよび試料Bにおいては、上述したように、ニッケルモノシリサイドからなる十分な厚さのニッケルシリサイド膜を形成できるので、最先端のCMOSにも十分に対応でき、その効果が期待できる。

【0120】

【発明の効果】

以上説明したように、本発明のニッケルシリサイド膜の形成方法および半導体装置の製造方法によれば、基板のシリコン原子の消費量が少なく、なおかつ十分な厚さを持った低抵抗のニッケルシリサイド膜の形成方法を提供することができ、これによりMOSトランジスタの高性能化が図れる。また、本発明を基板表面がシリコン・ゲルマニウム混晶層および多結晶シリコン・ゲルマニウム層である場合に適用すれば、基板のシリコン原子およびゲルマニウム原子の消費量が少ないだけでなく、従来のニッケルだけを堆積して反応させる場合よりも低抵抗の膜を得ることができる。また、本発明をSOI基板およびSGOI基板に適用することにより、ニッケルシリサイド膜が埋め込み酸化膜層まで達してMOSトランジスタの特性が劣化するという現象を防ぐことができる。

【0121】

また、本発明を、表面の半導体層が歪のかかったシリコンまたは歪のかかったシリコン・ゲルマニウム層により構成される歪チャネルMOSトランジスタに適用することによって、ニッケルモノシリサイド膜がシリコン・ゲルマニウム層に達してしまうのを防ぐとともに、ニッケルモノシリサイド膜を形成する際のチャネル部分の歪の緩和を抑制することができる。これによって、歪チャネルMOSトランジスタの性能劣化を防ぎ、歪チャネルMOSトランジスタの本来の特性を

十分に引き出すことができる。

【0 1 2 2】

本発明の半導体装置の製造方法によれば、積層膜をシリサイド反応させた後にエッチングすることにより、絶縁膜領域上のニッケルシリサイド膜だけを選択的にエッチングすることができるので、ニッケルモノシリサイド膜を有する半導体装置の製造の効率化を図ることができる。

【0 1 2 3】

本発明のニッケルシリサイド膜のエッチング方法によれば、ニッケルリッチなニッケルシリサイド膜だけを選択的にエッチングすることができるので、効率的なエッチングプロセスを実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態を示す断面図である。

【図 2】

本発明の第 2 実施形態を示す断面図である。

【図 3】

本発明の第 3 実施形態を示す断面図である。

【図 4】

従来の金属シリサイドの形成方法を示す断面図である。

【図 5】

従来の金属シリサイドの形成方法を示す断面図である。

【図 6】

S i 上と S i O₂ 上に形成されたニッケルシリサイド膜の X 線回折パターンの一例を示すグラフである。

【図 7】

本発明の第 4 実施形態を示す断面図である。

【図 8】

本発明の第 5 実施形態を示す断面図である。

【図 9】

本発明の第6実施形態を示す断面図である。

【図10】

本発明の第7実施形態を示す断面図である。

【図11】

本発明の第8実施形態を示す断面図である。

【図12】

SiO₂上にNi₂Si膜が形成されたエッチング前の断面TEM写真である。

【図13】

SiO₂上のNi₂Si膜がエッチングされた後の断面TEM写真である。

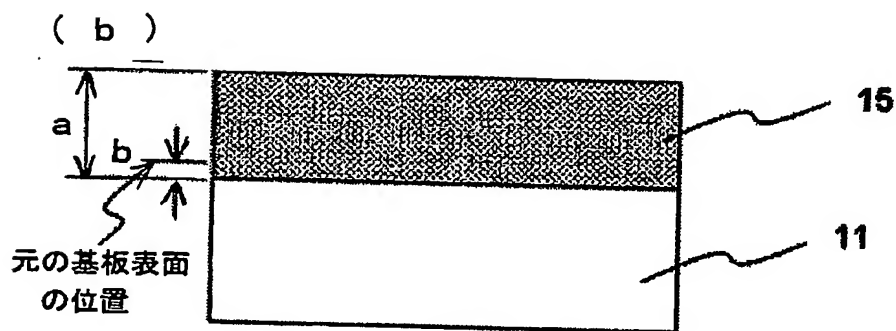
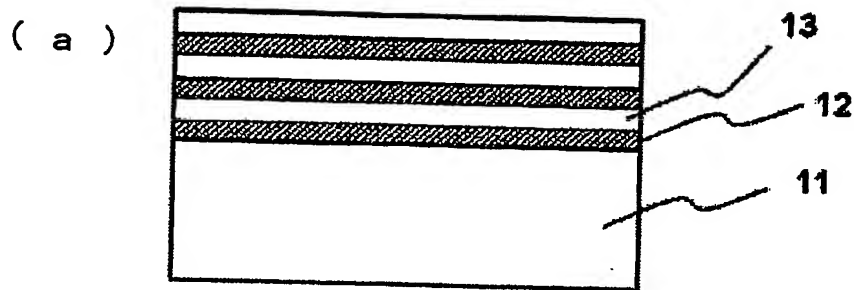
【符号の説明】

- 11、31、41、71、81、91、101、201 シリコン基板
- 12、32、48 ニッケル層
- 13、33、49 シリコン層
- 34 シリコン・ゲルマニウム混晶層
- 15、35、410 ニッケルシリサイド膜
- 36 ニッケルジャーマノシリサイド層
- 42 素子分離領域
- 43 ゲート絶縁膜
- 44 ソース・ドレイン領域
- 45 ゲート電極
- 46 ゲート側壁
- 47 レジスト
- 51 シリコン基板
- 52 チタン、コバルト等の金属膜
- 55 金属シリサイド膜
- 57 ドーパント濃度を高くした領域
- 72、82、92、102、202 素子分離領域
- 73、83、93、103、203 ゲート絶縁膜

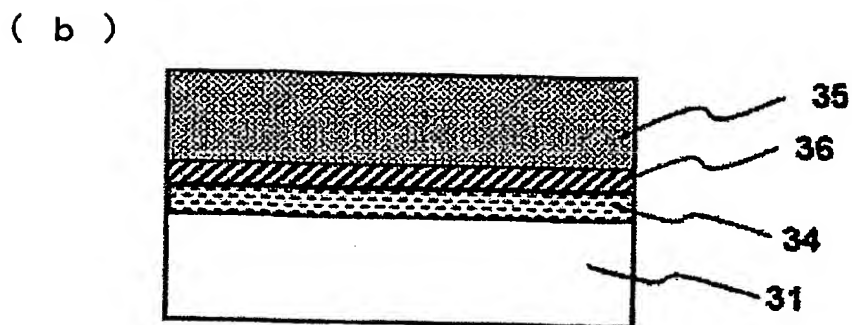
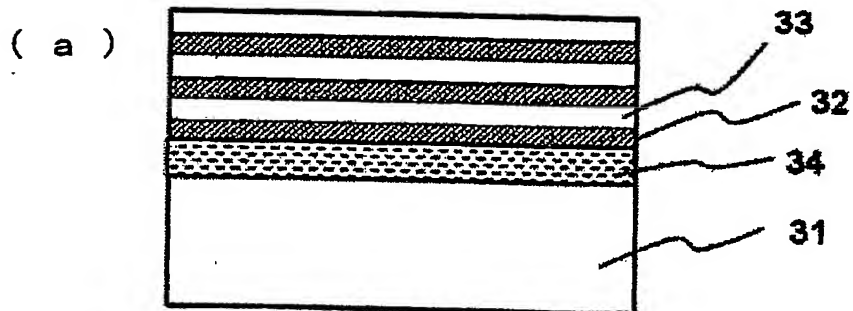
- 74、94、104 多結晶シリコンよりなるゲート電極
- 75、85、95、105、206 ゲートサイドウォール
- 76、207 ソース・ドレイン領域
- 77、208 ニッケルとシリコンの積層膜
- 78 ニッケル層
- 79 シリコン層
- 84 多結晶シリコン・ゲルマニウムよりなるゲート電極
- 86 単結晶シリコン・ゲルマニウムよりなるソース・ドレイン領域
- 96 SOI層に形成されたソース・ドレイン領域
- 106 歪シリコン層に形成されたソース・ドレイン領域
- 110、209、710、810、910 ニッケルモノシリサイド膜
- 114 歪シリコンチャネル層
- 115 シリコン・ゲルマニウム層
- 151 シリコン基板
- 152 素子分離領域
- 153 ゲート絶縁膜
- 154 ゲート電極
- 155 ゲートサイドウォール
- 156 ソース・ドレイン領域
- 157 金属膜
- 158 金属シリサイド膜
- 159 未反応の金属膜
- 204 金属よりなるゲート電極
- 205 キャップ層
- 711 ニッケルシリサイド膜
- 812 ニッケルジャーマノシリサイド層
- 913 埋め込み酸化膜層

【書類名】 図面

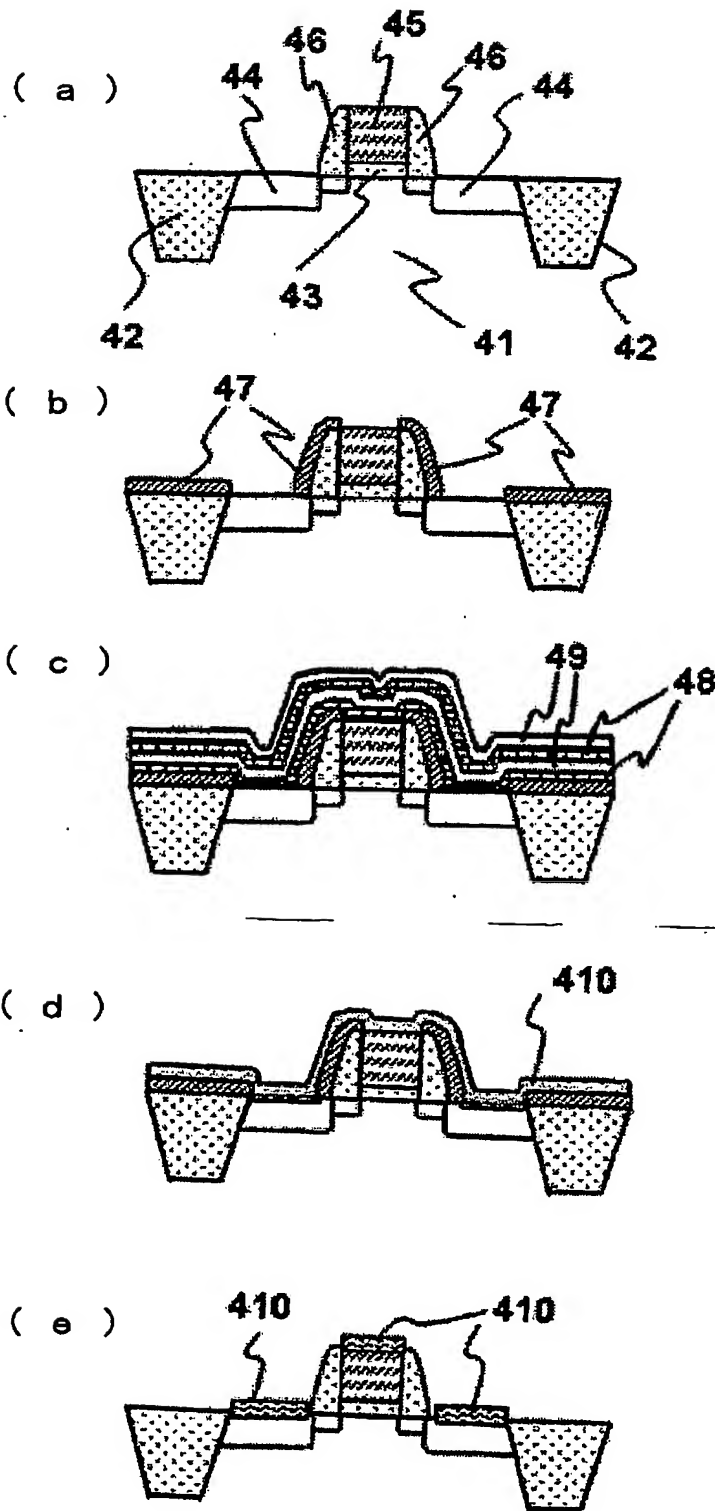
【図 1】



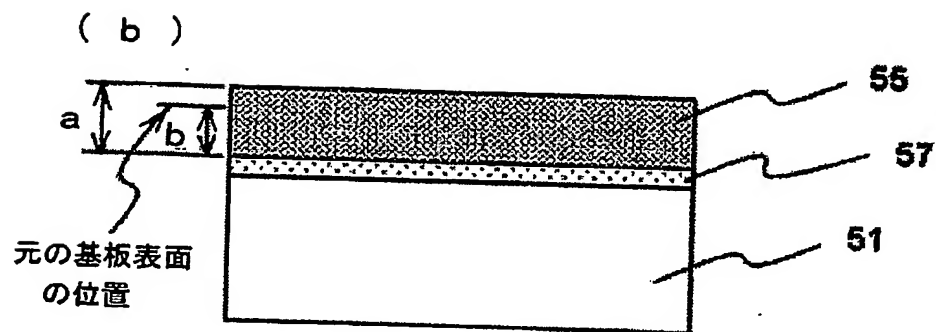
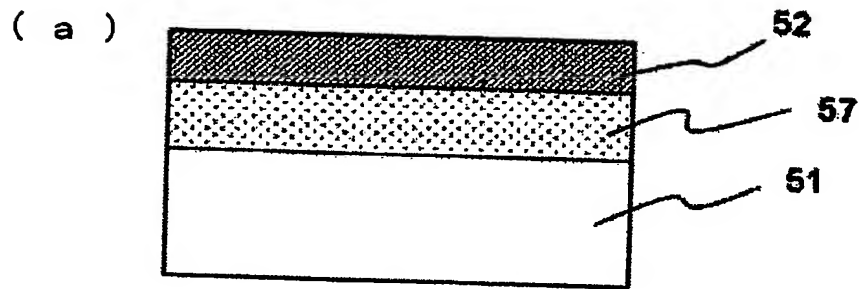
【図 2】



【図3】

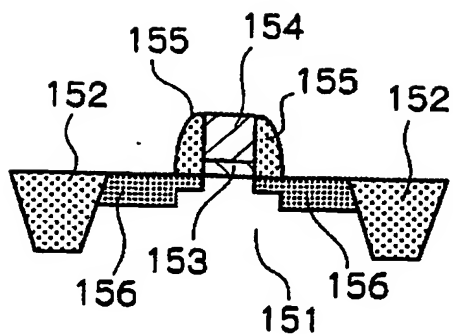


【図 4】

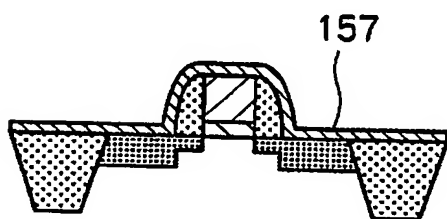


【図 5】

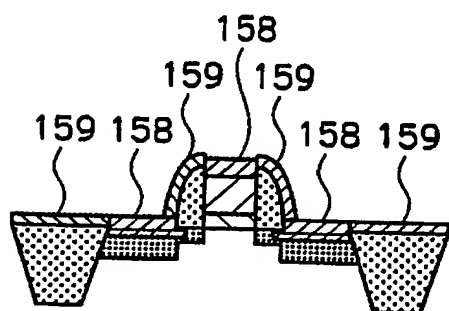
(a)



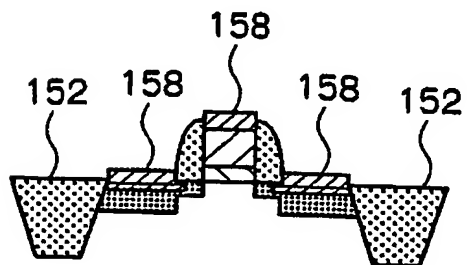
(b)



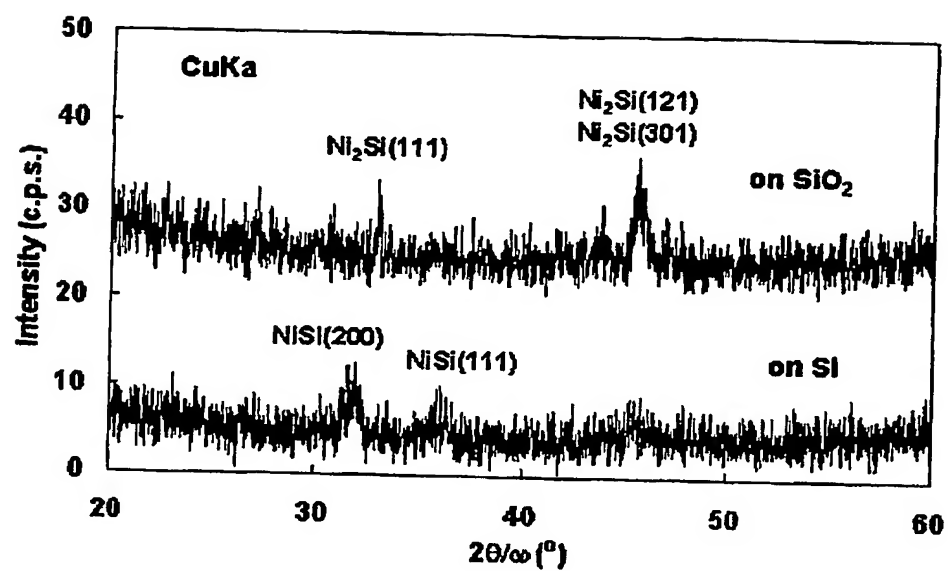
(c)



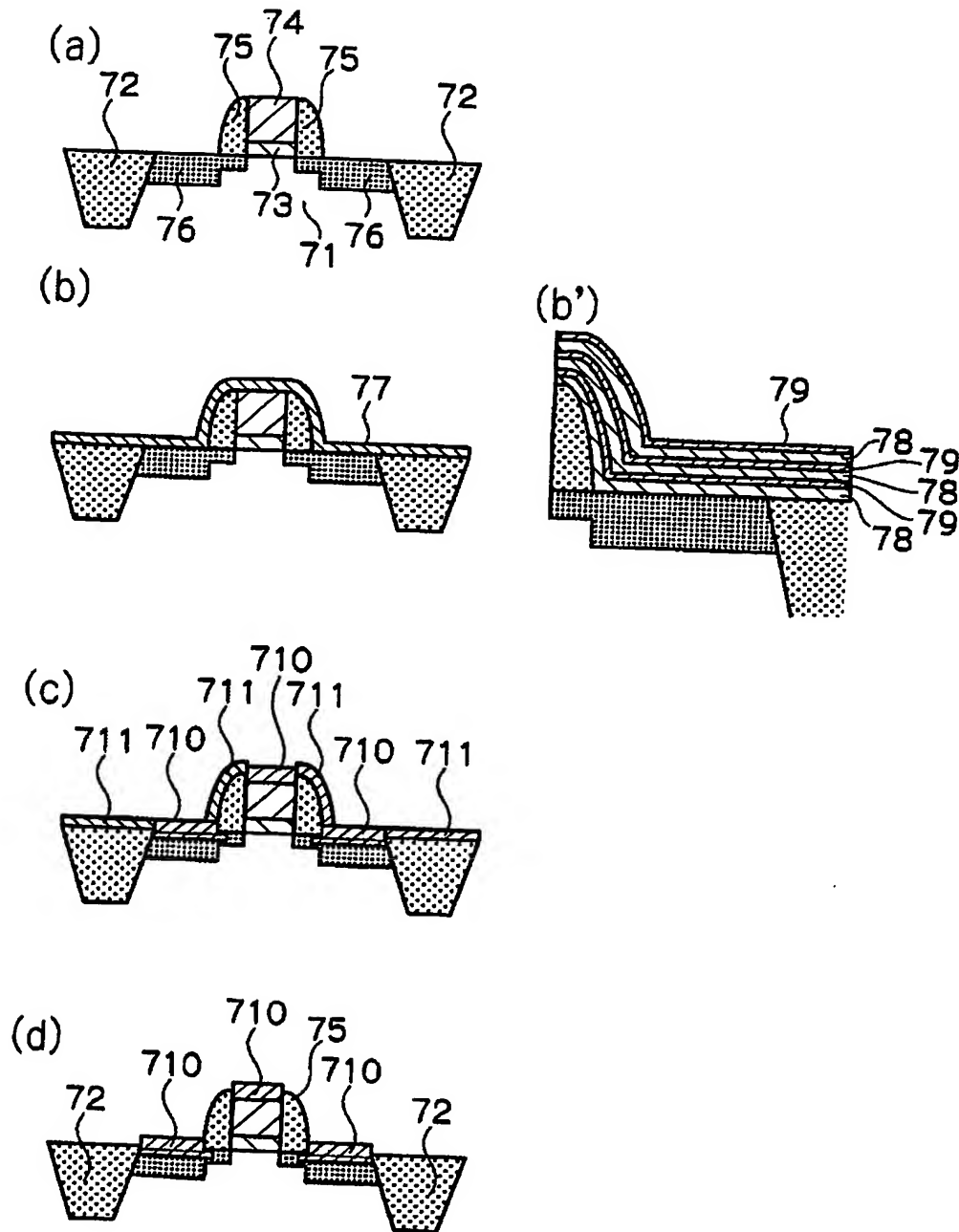
(d)



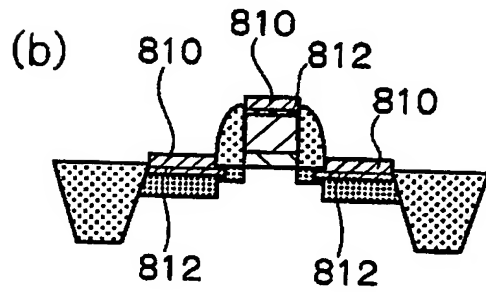
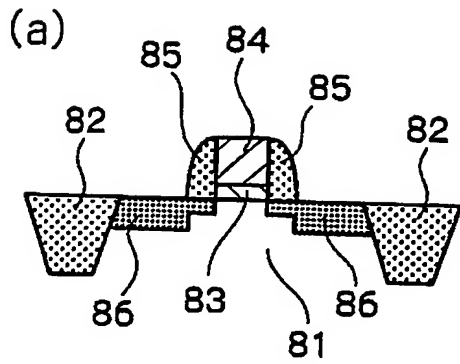
【図 6】



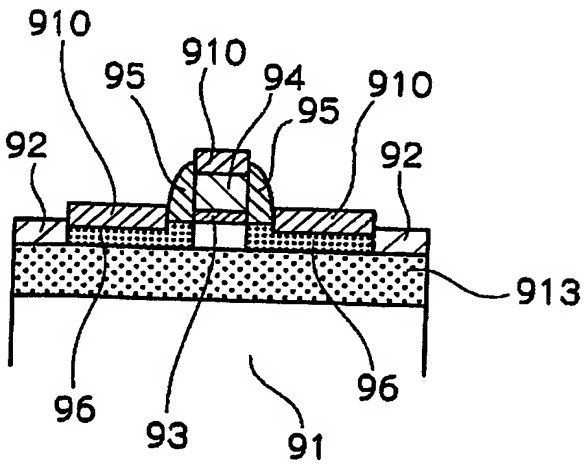
【図 7】



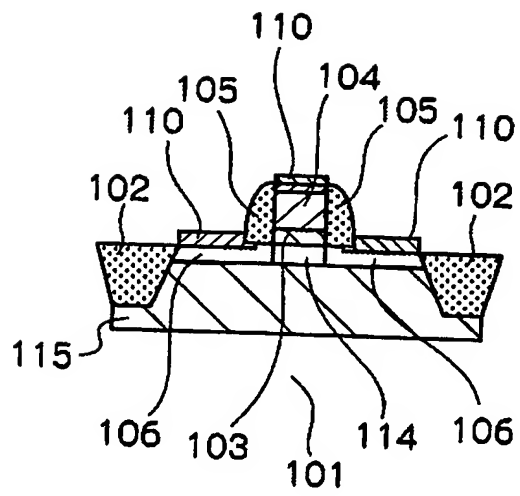
【図 8】



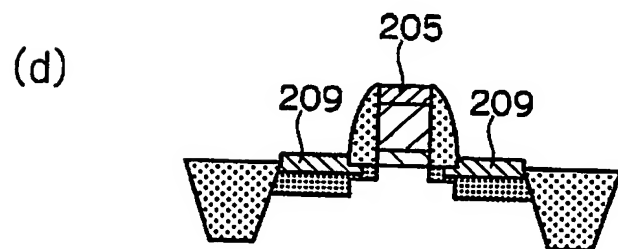
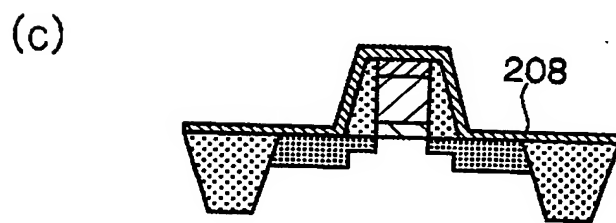
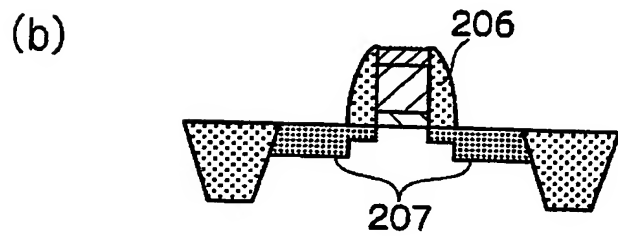
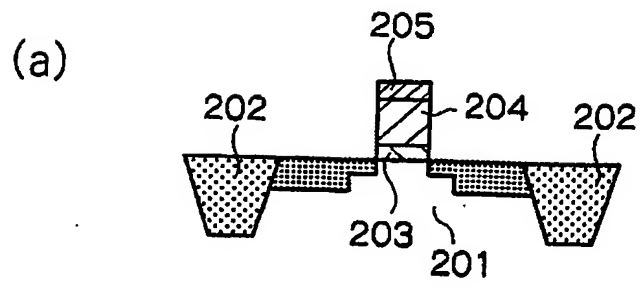
【図 9】



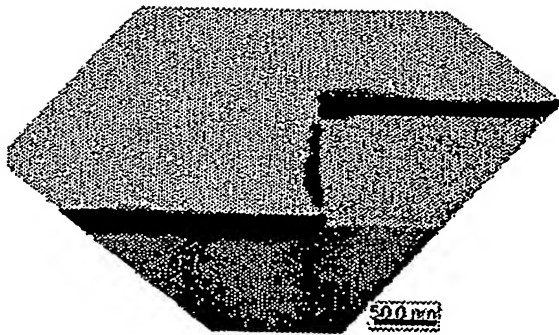
【図 10】



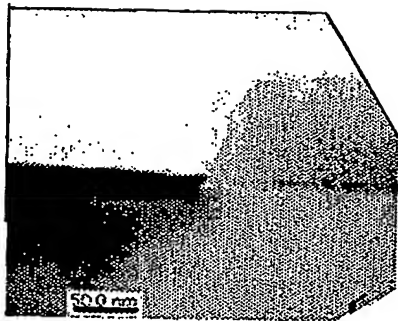
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 基板シリコン中のシリコン原子の消費量をできるだけ少なくして、なおかつ十分な厚さをもった低抵抗のニッケルシリサイド膜の形成方法、半導体装置の製造方法およびニッケルシリサイド膜のエッチング方法を提供する。

【解決手段】 表面に半導体領域および絶縁膜領域を有する基板上に、シリサイド反応を起こさない第1の基板温度で少なくとも各1層よりなるニッケル層とシリコン層を交互に積層する積層膜形成工程と、その積層膜をニッケルモノシリサイドが生成する第2の基板温度で熱処理するシリサイド反応工程と、ウェットエッチングによって絶縁膜上に形成された膜を除去する工程とを含む半導体装置の製造方法であって、積層膜形成工程において、積層膜全体のシリコン原子数に対するニッケル原子数の比を1または1より大きくすることによって、上記課題を解決した。

【選択図】 図1

特願 2003-129878

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住所

東京都港区芝五丁目7番1号

氏名

日本電気株式会社